

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125878

(43)Date of publication of application : 15.05.1998

(51) Int. Cl.

H01L 27/118
H01L 21/8238
H01L 27/092

(21)Application number : 08-297099

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 21.10.1996

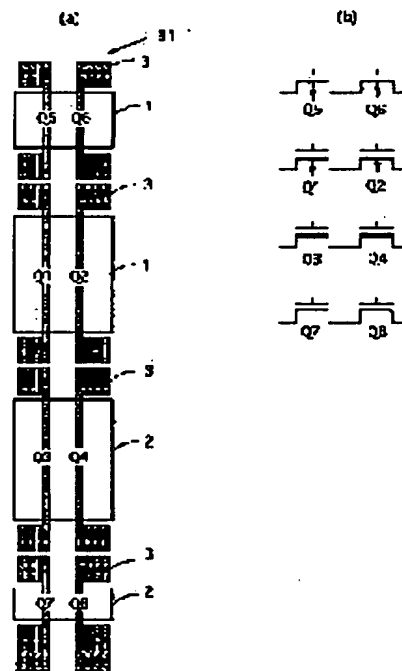
(72)Inventor : URANO MASAMI

(54) GATE ARRAY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a gate array which loads an MT-CMOS circuit and realizes high speed operation at a low voltage.

SOLUTION: Two low threshold value P channel MOS transistors Q1, Q2 arranged in the transversal direction and two low threshold value N channel MOS transistors Q3, Q4 arranged in the transversal direction are arranged in the longitudinal direction. High threshold value P channel MOS transistors Q5, Q6 are arranged in the upper vicinity of the MOS transistors Q1, Q2. High threshold value N channel MOS transistors Q7, Q8 are arranged in the lower vicinity of the MOS transistors Q3, Q4. Thereby a first basic cell 31 is constituted. The first basic cell 31 is used as the constituent of a gate array.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125878

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁸

H 0 1 L 27/118
21/8238
27/092

識別記号

F I

H 0 1 L 21/82
27/08

M

3 2 1 J

審査請求 未請求 請求項の数31 F D (全 24 頁)

(21) 出願番号 特願平8-297099

(22) 出願日 平成8年(1996)10月21日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 浦野 正美

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

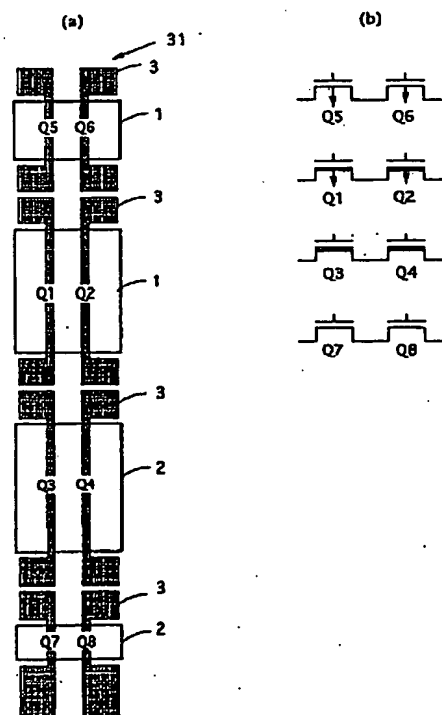
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 ゲートアレイ

(57) 【要約】

【課題】 MT-CMOS回路を搭載して、低電圧高速動作を実現したゲートアレイを提供する。

【解決手段】 横方向に2個設けられた低しきい値pチャネルMOSトランジスタQ1、Q2と横方向に2個設けられた低しきい値nチャネルMOSトランジスタQ3、Q4を縦方向に配列し、前記MOSトランジスタQ1、Q2の上隣に高しきい値pチャネルMOSトランジスタQ5、Q6を配置し、前記MOSトランジスタQ3、Q4の下隣に高しきい値nチャネルMOSトランジスタQ7、Q8を配置した第1の基本セル31を使用する。



【特許請求の範囲】

【請求項1】横方向に複数設けた低しきい値pチャネルMOSトランジスタと横方向に複数設けた低しきい値nチャネルMOSトランジスタを縦方向に配列して低しきい値トランジスタ群を形成し、横方向に複数設けた高しきい値pチャネルMOSトランジスタを前記低しきい値トランジスタ群の上隣に配置し、横方向に複数設けた高しきい値nチャネルMOSトランジスタを前記低しきい値トランジスタ群の下隣に配置して第1の基本セルを構成し、該第1の基本セルを構成要素としたことを特徴とするゲートアレイ。

【請求項2】請求項1に記載のゲートアレイにおいて、前記高しきい値nチャネルMOSトランジスタを削除したことを特徴とするゲートアレイ。

【請求項3】請求項1に記載のゲートアレイにおいて、前記高しきい値pチャネルMOSトランジスタを削除したことを特徴とするゲートアレイ。

【請求項4】前記請求項1乃至3に記載のゲートアレイにおいて、前記高しきい値pチャネルMOSトランジスタ、前記高しきい値nチャネルMOSトランジスタのチャネル幅を、前記低しきい値トランジスタ群のMOSトランジスタのそれより小さくしたことを特徴とするゲートアレイ。

【請求項5】横方向に複数設けた低しきい値pチャネルMOSトランジスタと横方向に複数設けた低しきい値nチャネルMOSトランジスタを縦方向に配列して低しきい値トランジスタ群を形成し、共通の拡散領域に横方向に設けた高しきい値pチャネルMOSトランジスタと低しきい値pチャネルMOSトランジスタを前記低しきい値トランジスタ群の上隣に配置し、共通の拡散領域に横方向に設けた高しきい値nチャネルMOSトランジスタと低しきい値nチャネルMOSトランジスタを前記低しきい値トランジスタ群の下隣に配置して第2の基本セルを構成し、該第2の基本セルを構成要素としたことを特徴とするゲートアレイ。

【請求項6】請求項5に記載のゲートアレイにおいて、前記共通の拡散領域に横方向に設けた高しきい値nチャネルMOSトランジスタと低しきい値nチャネルMOSトランジスタを削除したことを特徴とするゲートアレイ。

【請求項7】請求項5に記載のゲートアレイにおいて、前記共通の拡散領域に横方向に設けた高しきい値pチャネルMOSトランジスタと低しきい値pチャネルMOSトランジスタを削除したことを特徴とするゲートアレイ。

【請求項8】請求項5乃至7に記載のゲートアレイにおいて、前記共通の拡散領域に横方向に設けた高しきい値nチャネルMOSトランジスタと低しきい値nチャネルMOSトランジスタのチャネル幅、前記共通の拡散領域に横方向に設けた高しきい値pチャネルMOSトランジ

スタと低しきい値pチャネルMOSトランジスタのチャネル幅を、前記低しきい値トランジスタ群のMOSトランジスタのそれより小さくしたことを特徴とするゲートアレイ。

【請求項9】請求項1乃至4に記載の第1の基本セルと、請求項5乃至8に記載の第2の基本セルとを具備し、前記第2の基本セルが途中で周期的に配置されるよう、前記第1の基本セルと前記第2の基本セルをアレイとして配置したことを特徴とするゲートアレイ。

10 【請求項10】横方向に複数設けられた低しきい値pチャネルMOSトランジスタと横方向に複数設けられた低しきい値nチャネルMOSトランジスタを縦方向に配列して低しきい値トランジスタ群を形成し、横方向に複数設けた低しきい値のpチャネルMOSトランジスタを前記低しきい値トランジスタ群の上隣に配置し、横方向に複数設けた低しきい値のnチャネルMOSトランジスタを前記低しきい値トランジスタ群の下隣に配置して第4の基本セルを構成し、

20 該第4の基本セルと前記請求項1乃至4に記載の第1の基本セルとを具備し、前記第4の基本セルが途中で周期的に配置されるよう、前記第1の基本セルと前記第4の基本セルをアレイとして配置したことを特徴とするゲートアレイ。

【請求項11】横方向に複数設けられた高しきい値pチャネルMOSトランジスタと横方向に複数設けられた高しきい値nチャネルMOSトランジスタを縦方向に配列して第3の基本セルを構成し、

30 請求項9に記載の第1、第2の基本セルの配列方向の両端の少なくとも一方、あるいは該配列方向と直交する方向の両端の少なくとも一方に前記第3の基本セルを配置し、

又は、請求項10に記載の第1、第4の基本セルの配列方向の両端の少なくとも一方、あるいは該配列方向と直交する方向の両端の少なくとも一方に前記第3の基本セルを配置したことを特徴とするゲートアレイ。

【請求項12】請求項11に記載のゲートアレイにおいて、低しきい値のMOSトランジスタで構成された低しきい値入出力バッファセルを周辺領域に配置したことを特徴とするゲートアレイ。

40 【請求項13】請求項11に記載のゲートアレイにおいて、低しきい値のMOSトランジスタで構成された低しきい値入出力バッファセルと、高しきい値のMOSトランジスタで構成された高しきい値入出力バッファセルとを周辺領域に配置したことを特徴とするゲートアレイ。

【請求項14】請求項11に記載のゲートアレイにおいて、低しきい値のMOSトランジスタと高しきい値MOSトランジスタで構成された高/低しきい値混在入出力バッファセルを周辺領域に配置したことを特徴とするゲートアレイ。

50 【請求項15】請求項1、4、5、8、又は9乃至14

に記載のゲートアレイにおいて、高電位側実電源線、低電位側実電源線、高電位側疑似電源線、および低電位側疑似電源線を設けて、

前記高電位側実電源線と前記高電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値pチャンネルMOSトランジスタからなる高電位側電源制御回路を構成し、

前記低電位側実電源線と前記低電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値nチャンネルMOSトランジスタからなる低電位側電源制御回路を構成したことを特徴とするゲートレイ。

【請求項16】請求項15のゲートアレイにおいて、前記高電位側電源制御回路が、前記高しきい値pチャンネルMOSトランジスタのソースを前記高電位側実電源線に接続し、ドレインを前記高電位側疑似電源線に接続し、ゲートを第1の制御端子に接続して構成され、前記低電位側電源制御回路が、前記高しきい値nチャンネルMOSトランジスタのソースを前記低電位側実電源線に接続し、ドレインを前記低電位側疑似電源線に接続し、ゲートを第2の制御端子に接続して構成されていることを特徴とするゲートアレイ。

【請求項17】請求項2、4、6、8、又は9乃至14に記載のゲートアレイにおいて、高電位側実電源線、低電位側実電源線、および高電位側疑似電源線を設けて、前記高電位側実電源線と前記高電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値pチャンネルMOSトランジスタからなる高電位側電源制御回路を構成したことを特徴とするゲートレイ。

【請求項18】請求項17のゲートアレイにおいて、前記高電位側電源制御回路が、前記高しきい値pチャンネルMOSトランジスタのソースを前記高電位側実電源線に接続し、ドレインを前記高電位側疑似電源線に接続し、ゲートを制御端子に接続して構成されていることを特徴とするゲートアレイ。

【請求項19】請求項3、4、7、8、又は9乃至14に記載のゲートアレイにおいて、高電位側実電源線、低電位側実電源線、および低電位側疑似電源線を設けて、前記低電位側実電源線と前記低電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値のnチャンネルMOSトランジスタからなる低電位側電源制御回路を構成したことを特徴とするゲートアレイ。

【請求項20】請求項19のゲートアレイにおいて、前記低電位側電源制御回路が、前記高しきい値nチャンネルMOSトランジスタのソースを前記低電位側実電源線に接続し、ドレインを前記低電位側疑似電源線に接続し、ゲートを制御端子に接続して構成されていることを特徴とするゲートアレイ。

【請求項21】請求項1乃至14のゲートアレイにおいて、高電位側実電源線、低電位側実電源線を設けると共に、高電位側疑似電源線、および／又は低電位側疑似電

源線を設け、且つ前記低しきい値トランジスタ群で低しきい値論理ゲートを構成し、

該低しきい値論理ゲートの高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側実電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源線を低電位側実電源線に接続したことを特徴とするゲートアレイ。

10 【請求項22】請求項1、4、5、8、又は9乃至14に記載のゲートアレイにおいて、高電位側実電源線、低電位側実電源線、高電位側疑似電源線、および低電位側疑似電源線を設け、且つ前記第1又は第2の基本セルの高しきい値pチャンネルMOSトランジスタと高しきい値nチャンネルMOSトランジスタにより高しきい値論理ゲートを構成し、

該高しきい値論理ゲートの高電位側電源端子を高電位側疑似電源線に接続し、低電位側電源端子を低電位側疑似電源線に接続したことを特徴とするゲートアレイ。

20 【請求項23】請求項1、4、5、8、又は9乃至14に記載のゲートアレイにおいて、高電位側実電源線、低電位側実電源線を設け、且つ前記第1又は第2の基本セルの高しきい値pチャンネルMOSトランジスタと高しきい値nチャンネルMOSトランジスタにより高しきい値論理ゲートを構成し、

該高しきい値論理ゲートの高電位側電源端子を高電位側実電源線に接続し、低電位側電源端子を低電位側実電源線に接続したことを特徴とするゲートアレイ。

30 【請求項24】請求項11乃至14に記載のゲートアレイにおいて、高電位側実電源線、低電位側実電源線を設け、且つ前記第3の基本セルの高しきい値pチャンネルMOSトランジスタと高しきい値nチャンネルMOSトランジスタにより高しきい値論理ゲートを構成し、

該高しきい値論理ゲートの高電位側電源端子を高電位側実電源線に接続し、低電位側電源端子を低電位側実電源線に接続したことを特徴とするゲートアレイ。

40 【請求項25】請求項23に記載の高しきい値論理ゲートの出力端子に、請求項15乃至18に記載の高電位側電源制御回路を接続し、又は請求項15、16、19又は20に記載の低電位側電源制御回路を接続したことを特徴とするゲートアレイ。

【請求項26】請求項24に記載の高しきい値論理ゲートの出力端子に、請求項15乃至18に記載の高電位側電源制御回路を接続し、又は請求項15、16、19又は20に記載の低電位側電源制御回路を接続したことを特徴とするゲートアレイ。

【請求項27】高電位側実電源線、低電位側実電源線、高電位側疑似電源線、及び／又は低電位側疑似電源線を設け、

50 請求項12に記載の低しきい値入出力バッファセルにお

ける低しきい値のMOSトランジスタで低しきい値入力バッファ又は出力バッファを構成し、

該低しきい値入力バッファ又は出力バッファの高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側実電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側実電源線に接続したことを特徴とするゲートアレイ。

【請求項28】高電位側実電源線、低電位側実電源線、高電位側疑似電源線、及び／又は低電位側疑似電源線を設け、

請求項13に記載の低しきい値入出力バッファセルにおける低しきい値のMOSトランジスタで低しきい値入力バッファ又は出力バッファを構成し、

該低しきい値入力バッファ又は出力バッファの高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側実電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側実電源線に接続し、

請求項13に記載の高しきい値入出力バッファセルにおける高しきい値のMOSトランジスタで高しきい値入力バッファ又は出力バッファを構成し、

該高しきい値入力バッファ又は出力バッファの高電位側電源端子を高電位側実電源線に接続すると共に、低電位側電源端子を低電位側実電源線に接続したことを特徴とするゲートアレイ。

【請求項29】請求項14に記載の高／低しきい値混入出力バッファセルで低しきい値入力バッファ又は出力バッファ及び高しきい値入力バッファ又は出力バッファを構成し、

前記低しきい値入力バッファ又は出力バッファの高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側実電源線に接続すると共に低電位側電源端子を低電位側疑似電源線に接続し、又は高電位側電源端子を高電位側疑似電源線に接続すると共に低電位側電源端子を低電位側実電源線に接続し、

前記高しきい値入力バッファ又は出力バッファの高電位側電源端子を高電位側実電源線に接続すると共に、低電位側電源端子を低電位側実電源線に接続したことを特徴とするゲートアレイ。

【請求項30】請求項15、16、25、又は26記載のゲートアレイにおいて、制御信号としてLSIチップの外部から印加される信号が、請求項28又は29に記載の高しきい値入力バッファを介して伝達されるようにしたことを特徴とするゲートアレイ。

【請求項31】請求項30において、制御信号としてLSIチップの外部から印加される前記信号が、請求項15、16、25、又は26に記載のゲートアレイにおける前記高電位側電源制御回路の制御信号、前記低電位側電源制御回路の制御信号であることを特徴とするゲートアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基本セルと呼ばれる数個～数十個のトランジスタからなるセルをアレイとしてチップ上に配置し、該基本セル内のトランジスタを配線で接続することにより所望の論理機能を実現可能としたゲートアレイに関するものである。

【0002】

【従来の技術】図35の(a)は従来のゲートアレイの基本セルの例を示す図、(b)はその回路図である。M1、M2はpチャネルMOSトランジスタ、M3、M4はnチャネルMOSトランジスタである。また、1はp型拡散領域、2はn型拡散領域、3はゲート等として機能するポリシリコン、4はnウェルである。これらトランジスタM1～M4を用いて論理ゲートを構成する。図36の(a)は図35に示した基本セルを用いて構成した2入力NANDを示す図、(b)はその回路図である。配線は1層メタル配線5で行われる。6はコンタクトホール、VDDは実電源線、GNDは実グランド線、A1、A2は入力ポート、Yは出力ポートである。通常、pチャネルMOSトランジスタM1、M2は互いに同じゲート幅、しきい値であり、同様にnチャネルMOSトランジスタM3、M4も互いに同じゲート幅、しきい値である。

【0003】図37の(a)は別の従来のゲートアレイの基本セルの例を示す図、(b)はその回路図であり、本出願と同一出願人による特願平4-72854号の図1に示したゲートセルの基本セルである。これは、図35に示したゲートセルのpチャネルMOSトランジスタM1、M2側に同じpチャネルのMOSトランジスタM9、M10を設け、またnチャネルMOSトランジスタM3、M4側に同じnチャネルのMOSトランジスタM5～M8を設けたものである。本基本セルは、論理ゲートをトランジスタM1～M4で構成し、メモリセルをトランジスタM9、M10とM3～M8から構成する。

【0004】図38は図37の基本セルを用いて構成した2入力NANDの例を示すものであるが、トランジスタM5～M10は使用されていない。よって、その回路図は、前述した図36の(b)に示すものと同じになる。

【0005】図39の(a)は図37の基本セルを用いて構成した2ポートメモリセルを示す図、(b)はその回路図である。7は2層メタル配線、8はスルホール、BL1、BL2はビット線、BL1N、BL2Nはその

ビット線BL1、BL2の反転ビット線、WL1、WL2はワード線である。この例では、トランジスタM1、M2のソース、ドレインは電源に固定されており、回路を構成させるためには使用されていない。この従来例では、基本セル内のトランジスタは、ゲート幅については回路を最適に構成するために様々な大きさに設定されているが、しきい値はpチャネル、nチャネルのMOSトランジスタで各々同一の値に設定されている。

【0006】このように、ゲートアレイは、基本セルと呼ばれるセルを用いて論理回路を構成するため、トランジスタを製造する工程まで終了したウエハは、種々のLSIで共通に使用することが可能であり、配線工程を個々のLSIでカスタマイズすることにより所望の論理のLSIを実現可能である。

【0007】通常のセルベースのLSIでは、論理設計終了下地および配線プロセスの期間が製造に必要であるが、ゲートアレイでは下地工程はLSIの品種に係わりなく進めることができる。したがって、論理設計終了までにトランジスタ製造工程を終了しておけば、LSIのプロセスに必要な期間は、上地工程のみであり、セルベース等のLSIに比べて開発期間を短縮できるという特徴をもつ。

【0008】ところで、近年各種の電子機器の携帯化の要求に応えるべく、LSIの低消費電力化が進められているが、その際最も効果の大きいのが、電源電圧を低下させることである。しかし、従来の電源電圧に適するようなトランジスタを用いたLSIの電源電圧を低下させると、遅延時間が大きく増大したり、プロセスのばらつきが大きな影響を与えるという問題がある。

【0009】電源電圧を低下させながらも、動作速度の低下を防ぎ、またプロセスばらつきの影響を小さくするためには、トランジスタのしきい値電圧を低下させることも一つの方法である。しかし、一般にトランジスタのしきい値電圧を低下させると、トランジスタがオフしているときのリーク電流が増大し、特に携帯機器等の用途では電池の寿命を縮めるものとして問題となる。

【0010】これらの問題を解決する一つの技術として、電子情報通信学会1994年全国大会講演論文集第5分冊5-195頁に示されているMT-CMOS (Multi-Threshold CMOS) 回路を例として、図40に示す。この図40において、M11、M12は低しきい値のpチャネルMOSトランジスタ、M13、M14は低しきい値のnチャネルMOSトランジスタ、M15は高しきい値のpチャネルMOSトランジスタ、M16は高しきい値のnチャネルMOSトランジスタである。論理回路9 (図の例は2入力NAND) は低しきい値のトランジスタM11~M14により構成されている。

【0011】この論理回路9の電源は疑似電源線VDDVに接続され、グラウンドは疑似グラウンド線GNDVに接続されている。高しきい値のpチャネルMOSトランジ

スタM15のソース、ドレインに実電源線VDD、疑似電源線VDDVがそれぞれ接続され、ゲートにはスリープ制御信号SLが接続されている。また、高しきい値のnチャネルMOSトランジスタM16のソース、ドレインに実グラウンド線GND、疑似グラウンド線GNDVがそれぞれ接続され、ゲートにはスリープ制御信号SLの反転信号SLNが接続されている。

【0012】動作時は、スリープ制御信号SLをローレベルにする。これにより、高しきい値MOSトランジスタM15、M16がオンし、疑似電源線VDDV、疑似グラウンド線GNDVがそれぞれ実電源線VDD、実グラウンド線GNDとほぼ同電位となる。このとき、論理回路9は、低しきい値電圧のトランジスタM11~M14で構成されているので、低電圧であっても高速に動作することが可能である。

【0013】また、スリープ時 (スタンバイ時) には、スリープ制御信号をハイレベルにして、高しきい値トランジスタM15、M16をオフにする。これにより、実電源線VDDと実グラウンド線GNDVとの間のリークパスを、オフ状態の高しきい値トランジスタM15、M16で遮断し、リーク電流を低減させることができる。なお、図40の回路は、図41の(a)に示すように、高しきい値nチャネルMOSトランジスタM16を無くした構成、あるいは同図の(b)に示すように高しきい値pチャネルMOSトランジスタM15を無くした構成とすることもできる。

【0014】以上のように、MT-CMOS回路は、電源電圧が低い電圧範囲においても、低しきい値MOSトランジスタによる高速な論理動作と、高しきい値トランジスタによるリーク電流の低減の双方を同時に実現可能な回路構成である。

【0015】また、実際にスタンダードセルを用いたレイアウトの手法として、前記文献に示された方法を図42に示す。高しきい値のpチャネルMOSトランジスタM15およびnチャネルMOSトランジスタM16を含む電源セル10をセル列の左右両端に配置し、その間に低しきい値のトランジスタで構成される論理回路セル11、12等を配置し、電源セル10内で高しきい値pMOSトランジスタM15のソース、ドレインにそれぞれ実電源線VDD、疑似電源線VDDVを接続し、また、高しきい値のnチャネルMOSトランジスタM16のソース、ドレインにそれぞれ実グラウンド線GND、疑似グラウンド線GNDVを接続している。論理セル11、12内のMOSトランジスタには、疑似電源線VDDV、疑似グラウンド線GNDVを介して給電される。

【0016】ところで、LSIをこのようなMT-CMOS回路により構成した場合、スリープ時にはFF (フリップフロップ) に記憶されているデータが破壊されてしまうという問題が起こる。この問題を解決する一つの方法が、電子情報通信学会1995年エレクトロニクス

ソサエティ大会講演論文集第2分冊2-220頁に示されている、balloon DFF と呼ばれる回路である。図43にこの回路の構成を示す。

【0017】13~16は低しきい値のトランジスタにより構成されるインバータで、それらの電源端子やグラウンド端子は前記したそれぞれ疑似電源線VDDV、疑似グラウンド線GNDVに接続されている。17、18は高しきい値のトランジスタで構成されるインバータで、それらの電源端子やグラウンド端子はそれぞれ実電源線VDD、実グラウンド線GNDに接続されているため、スリープ時にも、回路動作が可能である。19~24は低しきい値のトランジスタで構成されるCMOSトランスファゲート、25は高しきい値のトランジスタで構成されるCMOSトランスファゲートであり、CKはクロック信号、CKNはクロック信号CKの反転信号、DはDFFの入力端子、QはDFFの出力端子、b1、b2は制御信号、b1n、b2nは制御信号b1、b2の反転信号である。信号b1、b2、b1n、b2nはスリープ時もその値を保持している必要がある。

【0018】通常の動作時は、信号b1、b2を共にローレベルにすると、トランスファゲート24、25が共にオフし、トランスファゲート23がオンして、通常のDFF回路として動作する。スリープに入る場合には、次のような制御を行う。

【0019】(1)、まず、クロックCKをローレベルに固定する。トランスファゲート19、22がオンし、トランスファゲート20、21がオフするため、入力信号Dはトランスファゲート21で遮断され、それまでラッチされていたデータはインバータ15、16、トランスファゲート22、23からなるラッチ回路でラッチされる。

【0020】(2)、次に、信号b1をハイレベルにする。トランスファゲート25がオンして上記のラッチされているデータがインバータ17、18まで伝搬する。

【0021】(3)、次に、信号b2をハイレベル、b1をローレベルにすると、上記のデータがインバータ17、18、トランスファゲート24からなるラッチ回路でラッチされる。それと同時に、トランスファゲート25がオフして、データの破壊が防止される。

【0022】(4)、この後、スリープ信号SLをハイレベルにすることにより、DFF回路全体をスリープ状態に移させる。

【0023】(5)、このようなスリープ状態から動作状態に移させるためには、スリープ信号SLをローレベルにする。

【0024】(6)、まず、信号b1、b2を共にハイレベルにする。これにより、インバータ17、18、トランスファゲート24でラッチされていた上記データはインバータ15、16を介してトランスファゲート23に到達する。

【0025】(7)、次に、信号b1、b2を共にローレベルにすることにより、トランスファゲート23がオンし、データはインバータ15、16、トランスファゲート22、23よりなるラッチ回路に保持される。また、トランスファゲート25はオフする。これにより、スリープ前に保持されていたデータが出力端子Qに到達し、スリープ前と同一の回路状態が再現される。

【0026】(8)、最後に、クロックCKの入力を再開させる。以上により、動作を再開する。

10 【0027】

【発明が解決しようとする課題】このように、MT-CMOS技術は、低電圧高速回路技術として有望であるが、本回路をLSIで実現するためには、同一チップ上に高しきい値のMOSトランジスタと低しきい値のMOSトランジスタが搭載されている必要がある。しかし、従来のMT-CMOS技術は、自由に異なったしきい値のトランジスタを搭載可能なセルベースあるいはフルカスタムのLSIに適用されてきたため、開発期間が長いという問題があった。

20 【0028】一方、従来のゲートアレイでは、これまで述べてきたように、pチャネルMOSトランジスタ、nチャネルMOSトランジスタともに、それぞれ同一のしきい値のトランジスタが搭載されているのみであり、MT-CMOS回路は実現されていなかった。すなわち、MT-CMOS回路を用いたLSIへのゲートアレイによる開発期間の短縮は行われていなかった。

30 【0029】本発明は以上のような点に鑑みてなされたものであり、その目的とするところは、MT-CMOS回路を搭載して、低電圧高速動作を実現したゲートアレイを提供することにある。

【0030】

【課題を解決するための手段】第1の発明のゲートアレイは、横方向に複数設けた低しきい値pチャネルMOSトランジスタと横方向に複数設けた低しきい値nチャネルMOSトランジスタを縦方向に配列して低しきい値トランジスタ群を形成し、横方向に複数設けた高しきい値pチャネルMOSトランジスタを前記低しきい値トランジスタ群の上隣に配置し、横方向に複数設けた高しきい値nチャネルMOSトランジスタを前記低しきい値トランジスタ群の下隣に配置して第1の基本セルを構成し、該第1の基本セルを構成要素とした。

【0031】第2の発明のゲートアレイは、第1の発明において、前記高しきい値nチャネルMOSトランジスタを削除して構成した。

【0032】第3の発明のゲートアレイは、第1の発明において、前記高しきい値pチャネルMOSトランジスタを削除して構成した。

50 【0033】第4の発明のゲートアレイは、第1乃至第3の発明において、前記高しきい値pチャネルMOSトランジスタ、前記高しきい値nチャネルMOSトランジ

スタのチャネル幅を、前記低しきい値トランジスタ群のMOSトランジスタのそれより小さくした。

【0034】第5の発明のゲートアレイは、横方向に複数設けた低しきい値pチャネルMOSトランジスタと横方向に複数設けた低しきい値nチャネルMOSトランジスタを縦方向に配列して低しきい値トランジスタ群を形成し、共通の拡散領域に横方向に設けた高しきい値pチャネルMOSトランジスタと低しきい値pチャネルMOSトランジスタを前記低しきい値トランジスタ群の上隣に配置し、共通の拡散領域に横方向に設けた高しきい値nチャネルMOSトランジスタと低しきい値nチャネルMOSトランジスタを前記低しきい値トランジスタ群の下隣に配置して第2の基本セルを構成し、該第2の基本セルを構成要素とした。

【0035】第6の発明のゲートアレイは、第5の発明において、前記共通の拡散領域に横方向に設けた高しきい値nチャネルMOSトランジスタと低しきい値nチャネルMOSトランジスタを削除して構成した。

【0036】第7の発明のゲートアレイは、第5の発明において、前記共通の拡散領域に横方向に設けた高しきい値pチャネルMOSトランジスタと低しきい値pチャネルMOSトランジスタを削除して構成した。

【0037】第8の発明のゲートアレイは、第5乃至7の発明において、前記共通の拡散領域に横方向に設けた高しきい値nチャネルMOSトランジスタと低しきい値nチャネルMOSトランジスタのチャネル幅、前記共通の拡散領域に横方向に設けた高しきい値pチャネルMOSトランジスタと低しきい値pチャネルMOSトランジスタのチャネル幅を、前記低しきい値トランジスタ群のMOSトランジスタのそれより小さくして構成した。

【0038】第9の発明のゲートアレイは、第1乃至4の発明の第1の基本セルと、第5乃至8の発明の第2の基本セルとを具備し、前記第2の基本セルが途中で周期的に配置されるよう、前記第1の基本セルと前記第2の基本セルをアレイとして配置して構成した。

【0039】第10の発明のゲートアレイは、横方向に複数設けられた低しきい値pチャネルMOSトランジスタと横方向に複数設けられた低しきい値nチャネルMOSトランジスタを縦方向に配列して低しきい値トランジスタ群を形成し、横方向に複数設けた低しきい値のpチャネルMOSトランジスタを前記低しきい値トランジスタ群の上隣に配置し、横方向に複数設けた低しきい値のnチャネルMOSトランジスタを前記低しきい値トランジスタ群の下隣に配置して第4の基本セルを構成し、該第4の基本セルと第1乃至4の発明の第1の基本セルとを具備し、前記第4の基本セルが途中で周期的に配置されるよう、前記第1の基本セルと前記第4の基本セルをアレイとして配置して構成した。

【0040】第11の発明のゲートアレイは、横方向に複数設けられた高しきい値pチャネルMOSトランジスタと横方向に複数設けられた高しきい値nチャネルMOSトランジスタを縦方向に配列して第3の基本セルを構成し、第9の発明の第1、第2の基本セルの配列方向の両端の少なくとも一方、あるいは該配列方向と直交する方向の両端の少なくとも一方に前記第3の基本セルを配置し、又は、第10の発明の第1、第4の基本セルの配列方向の両端の少なくとも一方、あるいは該配列方向と直交する方向の両端の少なくとも一方に前記第3の基本セルを配置することにより構成した。

【0041】第12の発明のゲートアレイは、第11の発明において、低しきい値のMOSトランジスタで構成された低しきい値入出力バッファセルを周辺領域に配置して構成した。

【0042】第13の発明のゲートアレイは、第11の発明において、低しきい値のMOSトランジスタで構成された低しきい値入出力バッファセルと、高しきい値のMOSトランジスタで構成された高しきい値入出力バッファセルとを周辺領域に配置して構成した。

【0043】第14の発明のゲートアレイは、第11の発明において、低しきい値のMOSトランジスタと高しきい値MOSトランジスタで構成された高/低しきい値混入出力バッファセルを周辺領域に配置して構成した。

【0044】第15の発明のゲートアレイは、第1、4、5、8、又は9乃至14の発明において、高電位側実電源線、低電位側実電源線、高電位側疑似電源線、および低電位側疑似電源線を設けて、前記高電位側実電源線と前記高電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値pチャネルMOSトランジスタからなる高電位側電源制御回路を構成し、前記低電位側実電源線と前記低電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値nチャネルMOSトランジスタからなる低電位側電源制御回路を構成した。

【0045】第16の発明のゲートアレイは、第15の発明において、前記高電位側電源制御回路が、前記高しきい値pチャネルMOSトランジスタのソースを前記高電位側実電源線に接続し、ドレインを前記高電位側疑似電源線に接続し、ゲートを第1の制御端子に接続して構成され、前記低電位側電源制御回路が、前記高しきい値nチャネルMOSトランジスタのソースを前記低電位側実電源線に接続し、ドレインを前記低電位側疑似電源線に接続し、ゲートを第2の制御端子に接続して構成されているようにした。

【0046】第17の発明のゲートアレイは、第2、4、6、8、又は9乃至14の発明において、高電位側実電源線、低電位側実電源線、および高電位側疑似電源線を設けて、前記高電位側実電源線と前記高電位側疑似電源線との間に、前記第1又は第2の基本セルの高しきい値pチャネルMOSトランジスタからなる高電位側電源制御回路を構成した。

【0052】第23の発明のゲートアレイは、第1、4、5、8、又は9乃至14の発明において、高電位側実電源線、低電位側実電源線を設け、且つ前記第1又は第2の基本セルの高しきい値pチャネルMOSトランジスタと高しきい値nチャネルMOSトランジスタにより高しきい値論理ゲートを構成し、該高しきい値論理ゲートの高電位側電源端子を高電位側実電源線に接続し、低電位側電源端子を低電位側実電源線に接続して構成した。

【 0 0 5 7 】 第 2 8 の 発 明 の ゲ ー ト ア レ イ は、 高 電 位 側 実 電 源 線、 低 電 位 側 実 電 源 線、 高 電 位 側 擬 似 電 源 線、 及 び／又 は 低 電 位 側 擬 似 電 源 線 を 設 け、 第 1 3 の 発 明 の 低 し き い 値 入 出 力 バ ッ フ ア セ ル に お け る 低 し き い 値 の M O S ト ラ ン ジ ス タ で 低 し き い 値 入 力 バ ッ フ ア 又 は 出 力 バ ッ フ ア を 構 成 し、 該 低 し き い 値 入 力 バ ッ フ ア 又 は 出 力 バ ッ フ ア の 高 電 位 側 電 源 端 子 を 高 電 位 側 擬 似 電 源 線 に 接 続 す る と 共 に 低 電 位 側 電 源 端 子 を 低 電 位 側 擬 似 電 源 線 に 接 続 し、 又 は 高 電 位 側 電 源 端 子 を 高 電 位 側 実 電 源 線 に 接 続 す る と 共 に 低 電 位 側 電 源 端 子 を 低 電 位 側 擬 似 電 源 線 に 接 続 し、 又 は 高 電 位 側 電 源 端 子 を 高 電 位 側 擬 似 電 源 線 に 接 続 す る と 共 に 低 電 位 側 電 源 端 子 を 低 電 位 側 実 電 源 線 に 接 続 し、 第 1 3 の 発 明 の 高 し き い 値 入 出 力 バ ッ フ ア セ ル に け お け る 高 し き い 値 の M O S ト ラ ン ジ ス タ で 高 し き い 値 入 力 バ ッ フ ア 又 は 出 力 バ ッ フ ア を 構 成 し、 該 高 し き い 値 入 力 バ ッ フ ア 又 は 出 力 バ ッ フ ア の 高 電 位 側 電 源 端 子 を 高 電 位 側 実 電 源 線 に 接 続 す る と 共 に、 低 電 位 側 電 源 端 子 を 低 電 位 側 実 電 源 線 に 接 続 し て 構 成 し た。

50 【0058】第29の発明のゲートアレイは、第14の

さくすることで、面積削減を図ることができる。

【0064】図3の(a)は前記した第1の基本セル31を用いて構成した2入力NANDセル33の構成を示す図であり、(b)はその回路図である。ここでは、低い値のMOSトランジスタQ1～Q4を用いてNANDゲートを構成し、その電源端子を疑似電源線VDDVに、グランド端子を疑似グランド線GNDVに接続している。

10 【0065】図4の(a)は第1の基本セル31を用いて構成した電源セル34の構成を示す図、(b)はその回路図である。ここでは、高しきい値pチャネルMOSトランジスタQ5、Q6のソース、ドレインをそれぞれ実電源線VDD、疑似電源線VDDVに接続し、ゲートにはスリープ信号SLを接続して、高電位側電源制御回路34Hを構成している。また、高しきい値nチャネルMOSトランジスタQ7、Q8のソース、ドレインをそれぞれ実グランド線GND、疑似グランド線GNDVに接続し、ゲートにはスリープ信号SLの反転信号SLNを接続して、低電位側電源制御回路34Lを構成してい

20 る。

【0066】図5は第1の基本セル31を用いて、前述した図40で示したレイアウトの内容を実現したものである。ここでは、論理セルとして、前述した2入力NANDセル33の他に、2入力NORセル35、インバータセル36等を一列に配列している。そして、その左右両端に前記した電源セル34を配置することにより、疑似電源線VDDV、疑似グランド線GNDVに給電を行っている。なお、この電源セル34は左右端の一方のみに配置してもよい。

30 【0067】このように本実施の形態のゲートアレイでは、基本セル31を低しきい値pチャネルMOSトランジスタQ1、Q2、低しきい値nチャネルMOSトランジスタQ3、Q4、高しきい値pチャネルMOSトランジスタQ5、Q6、高しきい値nチャネルMOSトランジスタQ7、Q8から構成しているので、低しきい値MOSトランジスタからなる論理セル33、35、36等と、高しきい値MOSトランジスタからなる電源セル34を効率良く搭載することができる。

【0068】図6の(a)は、第1の基本セル31を用いて電源・論理セル37を実現した例の構成を示す図、(b)はその回路図である。ここでは、単一の基本セル31内に、低きしい値MOSトランジスタQ1~Q4の部分で2入力NANDゲート33Aを構成し、高しきい値MOSトランジスタQ5~Q8の部分で電源制御回路34H、34Lを構成したものである。これにより、従来必要であった電源セルの面積を削減し、図5で示したレイアウトよりも更に高密度にMT-CMOS回路が搭載可能となる。

【0069】なお、これまでの図2、図5、図6に示した例において、高しきい値のMOSトランジスタはpチ

【0063】なお、一つの拡散層島のゲートの本数は図に示した2本でなくて3本以上であってもよい。また、高しきい値のMOSトランジスタQ5、Q6やQ7、Q8の拡散領域の縦の長さは、低しきい値MOSトランジスタQ1～Q4のそれより小さくすることもできる。通常、高しきい値のMOSトランジスタの必要とされるチャネル幅が小さいからであり、このように拡散領域を小

ャネル側、nチャネル側の双方で設けたが、いずれか一方のみとしても良い。この場合、電源制御回路34H、34Lは、それぞれ、電源側、グランド側の一方のみとなる。nチャネルMOSトランジスタQ7、Q8を削除した基本セル31'の例を図7、図8、図9に、pチャネルMOSトランジスタQ5、Q6を削除した基本セル31''の例を図10、図11、図12に各々示す。図7、図10は図2に対応し、図8、図11は図5に対応し、図9、図12は図6に対応している。

【0070】図13の(a)は、第1の基本セル31の高しきい値MOSトランジスタを用いて、2入力NANDセル38を構成した例を示す図、(b)はその回路図である。ここでは、高しきい値pチャネルMOSトランジスタQ5、Q6と高しきい値nチャネルMOSトランジスタQ7、Q8により2入力NANDゲートを構成し、その2入力NANDゲートの電源端子を実電源線VDDに、グランド端子を実グランド線GNDに接続している。

【0071】このように構成された2入力NANDセル38は、動作速度は低しきい値MOSトランジスタによって構成されたものに比べて低速になるものの、リーク電流が小さいため、動作速度に余裕がある場合に本構成をとることにより、回路全体のリーク電流を低減する効果がある。また、スリープ信号SLがハイレベル、その反転信号SLNがローレベルとなってスリープ状態になった場合でも、実電源線VDD、実グランド線GNDには電源が供給されているため、2入力NANDセル38は正常に動作する。したがって、スリープ状態においても論理動作が必要であり、且つスリープ時のリーク電流の低減が必要な場合に、本構成のように高しきい値MOSトランジスタで論理回路を構成することにより、所望の動作や所望のリーク電流を達成することが可能となる。

【0072】図14の(a)も、第1の基本セル31の高しきい値MOSトランジスタを用いて構成した2入力NANDセル38'の例を示す図、(b)はその回路図である。高しきい値pチャネルMOSトランジスタQ5、Q6と高しきい値nチャネルMOSトランジスタQ7、Q8により2入力NANDゲートを構成し、その2入力NANDゲートの電源端子を疑似電源線VDDVに、グランド端子を疑似グランド線GNDVに接続している。

【0073】このように構成された2入力NANDセル38'は、動作速度は低しきい値のMOSトランジスタで構成されたものに比べて低速になるものの、リーク電流が小さいため、動作速度に余裕がある場合において回路全体のリーク電流を削減するために有効である。

【0074】【第2の実施の形態】図15は第2の実施の形態のゲートアレイを示す図である。ここでは、チップ30上に第2の基本セル39をアレイ状に配置し、そ

の四辺に入出力バッファセル32を配置している。

【0075】図16の(a)はその基本セル39の構造を示す図、(b)はその基本セル39の回路図である。Q1~Q4、Q6、Q8は図2に示したものと同等である。Q9は低しきい値pチャネルMOSトランジスタであって、高しきい値pチャネルMOSトランジスタQ6とソース、ドレインのいずれかの拡散領域を共有している。また、Q10は低しきい値nチャネルMOSトランジスタであって、高しきい値nチャネルMOSトランジスタQ8と、ソース、ドレインのいずれかの拡散領域を共有している。

【0076】この第2の基本セル39を用いて2入力NAND等の論理回路を実現する場合は、図2で示した第1の基本セル31と同様に実現可能である。その場合、図3の(a)に示す内容と同様のレイアウトとする。図3の(a)においては、MOSトランジスタがQ1~Q4のみ使用されているので、これらのMOSトランジスタが同一の位置に配置されている第2の基本セル39に適用可能となるためである。

【0077】低しきい値pチャネルMOSトランジスタQ9と高しきい値pチャネルMOSトランジスタQ6を含む拡散領域、低しきい値nチャネルMOSトランジスタQ10と高しきい値nチャネルMOSトランジスタQ8を含む拡散領域の縦の長さは、低しきい値pチャネルMOSトランジスタQ1、Q2の拡散領域や低しきい値nチャネルMOSトランジスタQ3、Q4を含む拡散領域の縦の長さより小さくても良い。高しきい値トランジスタの必要とされるチャネル幅が小さいからである。このように拡散領域を小さくすることにより、面積削減を図ることができる。

【0078】図17の(a)は前記した第2の基本セル39を用いて実現した電源セル40を示す図、(b)はその回路図である。ここでは、高しきい値pチャネルMOSトランジスタQ6のソース、ドレインをそれぞれ実電源線VDD、疑似電源線VDDVに接続し、ゲートをスリープ信号SLに接続して、高電位側電源制御回路40Hを構成している。低しきい値pチャネルMOSトランジスタQ9は、ソース、ドレイン、ゲートのすべてを実電源線VDDに接続することにより、回路動作を行わせないようにしている。また、高しきい値nチャネルMOSトランジスタQ8のソース、ドレインをそれぞれ実グランド線GND、疑似グランド線GNDVに接続し、ゲートをスリープ信号SLの反転信号SLNに接続して、低電位側電源制御回路40Lを構成している。低しきい値nチャネルMOSトランジスタQ10は、ソース、ドレイン、ゲートのすべてを実グランド線GNDに接続することにより、回路動作を行わせないようにしている。

【0079】このように第2の基本セル39を用いても、電源セル40として図17に示すように配線するこ

とにより、前述した図5、図6に示したようなレイアウトの展開が可能となる。

【0080】なお、以上の図16、図17に示した回路において、高しきい値のMOSトランジスタはpチャネル側、nチャネル側の双方に設けられていたが、いずれか一方のみに設けるようにすることもできる。この場合、電源セル40の電源制御回路は、それぞれ高電位側電源制御回路40H、あるいは低電位側電源制御回路40Lのみとなる。nチャネル側を削除した基本セル39'の例を、図18、図19に、pチャネル側を削除した基本セル39''の例を図20、図21に示した。図18、図20は図16に対応し、図19、図21は図17に対応している。

【0081】【第3の実施の形態】図22は第3の実施の形態のゲートアレイを示す図である。ここでは、チップ30上に前記した第1の基本セル31と第2の基本セル39をあるセル数を単位に繰返しアレイ状に配置したものである。ここでは、第1の基本セル31が2個繰返されたら第2の基本セル39を1個配列するようにしたものである。なお、第2の基本セル41の繰返し周期は3以外であっても良い。

【0082】図23は図20で説明した配置を使用して構成したballoon DFFを示す図である。これは、図41に示したballoon DFFを本発明のゲートアレイを用いて実現したものである。左から3番目および6番目を第2の基本セル39、その他を第1の基本セル31としてレイアウトしたものである。このようにレイアウトすることで、図22のゲートアレイに搭載可能である。このゲートアレイを使用すると、図41の高しきい値のMOSトランジスタからなるインバータ18と低しきい値のMOSトランジスタからなるトランスファゲート24を、第2の基本セル39内にレイアウトすることが可能で、高密度にballoon DFFを実現することが可能である。

【0083】この第3の実施の形態において、図16に示した第2の基本セル38に代えて、図24の(a)、(b)に示した第4の基本セル41を使用しても良い。この基本セル41は、図16の(a)に示した第2の基本セル39において、高しきい値pチャネルMOSトランジスタQ6を低しきい値pチャネルMOSトランジスタQ11に、高しきい値nチャネルMOSトランジスタQ8を低しきい値nチャネルMOSトランジスタQ12に各々代えたものである。

【0084】このような基本セル41を用いてballoon DFFを構成するには、トランジスタQ9、Q11のいずれかとトランジスタQ10、Q12のいずれかを用いてトランスファゲートを構成する。

【0085】【第4の実施の形態】図25は第4の実施の形態のゲートアレイを示す図である。ここでは、チップ30上に、第1の基本セル31と第2の基本セル39をあるセル数を単位に繰返し配置し、その周辺に、第

3の基本セル42を配置したものである。

【0086】図26の(a)はその第3の基本セル42を示す図、(b)はその回路図である。この第3の基本セル42は、第1、第2の基本セル31、39の低しきい値pチャネルMOSトランジスタQ1、Q2よりしきい値の絶対値が大きいpチャネルMOSトランジスタQ13、Q14、低しきい値nチャネルMOSトランジスタQ3、Q4よりしきい値の絶対値が大きいnチャネルMOSトランジスタQ15、Q16より構成したものである。

【0087】図27の(a)はこの第3の基本セル42を用いて電源セル43を構成した図、(b)はその回路図である。MOSトランジスタ13、14のソースを実電源線VDDに接続し、ドレインを疑似電源線VDDVに接続し、ゲートをスリープ制御信号SLに接続して、高電位側電源制御回路43Hを構成している。また、MOSトランジスタ15、16のソースを実グラウンド線GNDに接続し、ドレインを疑似グラウンド線GNDVに接続し、ゲートをスリープ制御信号SLの反転信号SLNに接続し、低電位側電源制御回路43Lを構成している。

【0088】図28はこの第3の基本セル39を電源セル43としたレイアウトの実現法を示す図である。実電源線VDD、実グラウンド線GND、スリープ制御信号SL、その反転信号SLNを電源セル43に入力し、この電源セル43から疑似電源線VDDV、疑似グラウンド線GNDVを出力し、2入力NANDセル33、2入力NORセル34等の論理セルに給電している。このように、前述した図40に示した内容と同様なレイアウトが可能となる。

【0089】図29の(a)は第3の基本セル42を用いて構成した制御用の第1バッファ44A、第2バッファ44Bを示す図、(b)はその回路図である。まず、第1バッファ44Aは、基本セル42のMOSトランジスタQ13、Q14のソースを実電源線VDDに接続し、MOSトランジスタQ15、Q16のソースを実グラウンド線GNDに接続し、MOSトランジスタQ13～Q16のゲートをスリープ制御信号SLの反転信号SLNに接続すると共に、ドレインを共通接続してスリープ制御信号SL1の出力部とするよう構成されている。

【0090】また、第2バッファ44Bは、基本セル42のMOSトランジスタQ13、Q14のソースを実電源線VDDに接続し、MOSトランジスタQ15、Q16のソースを実グラウンド線GNDに接続し、MOSトランジスタQ13～Q16のゲートをスリープ制御信号SLに接続すると共に、MOSトランジスタQ13～Q16のドレインを共通接続してスリープ制御信号SL1の反転信号SL1Nの出力部とするよう構成されている。

【0091】ここでは、図30に示すように、高しきい値のMOSトランジスタにより構成された第1、第2バ

ッファ44A、44Bにスリープ制御信号SL、SLNを入力して、制御信号SL1、SL1Nを内部の電源セル34に供給する。

【0092】通常、第1、第2バッファ44A、44Bに入力する制御信号SL、SLNは、スリープ時、通常動作時を通して1又は0の状態を保持している必要がある。しかし、これらの制御信号を疑似電源線VDDVや疑似グランド線GNDVのいずれかに接続された論理回路の出力から供給すると、スリープ時に値が不定となる場合があり、このとき正常な動作ができない。一方、これらの論理回路を低しきい値のMOSトランジスタで構成し、スリープ時にも給電される実電源線VDD、実グランド線GNDに接続すると、リーク電流が流れる点が問題となる。

【0093】したがって、これらの論理回路は、高しきい値のMOSトランジスタで構成し、電源端子やグランド端子を実電源線、実グランド線に接続する必要がある。これらの条件を満足するには、図13、図29に示したように、高しきい値のMOSトランジスタを用いて論理ゲートを構成し、電源端子、グランド端子を実電源線、実グランド線に接続する必要がある。

【0094】しかし、図30に示すように構成すると、スリープ時であっても電源セル34の制御信号を得ることができ、上記条件を満足し、スリープ動作を正常に行うことができる。

【0095】〔第5の実施の形態〕図31～図33は第5の実施の形態のゲートアレイを示す図である。これは、図25に示した第4の実施の形態のゲートアレイと類似しているが、周辺に配置された入出力バッファセルに特徴を有する。

【0096】図31では、周辺に配置されている入出力バッファセルは低しきい値のMOSトランジスタで構成した低しきい値入出力バッファセル45である。また、図32では、入出力バッファセルは、低しきい値のMOSトランジスタ構成した低しきい値の入出力バッファセル45と、高しきい値のMOSトランジスタで構成した高しきい値入出力バッファセル46の2種類である。さらに、図33では、入出力バッファセルは、高低2種類のしきい値のMOSトランジスタを配置した高/低しきい値混在入出力バッファセル50である。この図33の場合は、配線により、使用するMOSトランジスタを選択し、高しきい値又は低しきい値の入力バッファ又は出力バッファにすることが可能である。

【0097】図34はこの実施の形態を適用して構成したLSIの回路ブロックを示す図である。スリープ制御信号SLとその反転信号SLN、balloon DFFの制御信号b1、b1n、b2、b2nはスリープ時においても1又は0の値を保持しておく必要があるため、これらの信号の伝搬する入力バッファや出力バッファ及び論理ゲートの電源端子、グランド端子は実電源線VDD、実グ

ランド線GNDに接続しておく必要がある。しかも、これらのバッファやゲートを低しきい値のMOSトランジスタで構成した場合は電源とグランドの間にリーク電流が流れるため、高しきい値のMOSトランジスタで構成する必要がある。一方、通常のLSIの入出力信号は、スリープ時にその値を保持する必要はない。

【0098】そこで、スリープ制御信号SLとその反転信号SLN、balloon DFFの制御信号b1、b1n、b2、b2nは、ボンディングパッド47から高しきい値MOSトランジスタで構成された高しきい値入力バッファ46Aを介して、電源セル34、43やballoon DFFの制御信号入力端子に接続する。一方、通常の入力信号は、スリープ時においても、論理信号を保持しておく必要がないので、ボンディングパッド47から高速性能に優れた低しきい値のMOSトランジスタで構成された低しきい値入力バッファ45Aを介して論理回路49に入力させる。出力信号についても、通常は論理信号を保持しておく必要がないので、高速性能に優れた低しきい値MOSトランジスタで構成された低しきい値出力バッファ45Bを介してボンディングパッド47へ接続する。ただし、特に高速性能が必要ない場合には、低しきい値入力バッファ45A、出力バッファ45Bに代えて、高しきい値のMOSトランジスタで構成された入力バッファセル46A、出力バッファ46B（この46Bは図34では表示しない。）を用いても差し支えない。

【0099】なお、高しきい値入力バッファおよび出力バッファについては、電源端子およびグランド端子は、それぞれ実電源線、実グランド線に接続する。これは、前述したように、スリープ時に論理信号を保持するためである。一方、低しきい値入力バッファおよび出力バッファは、電源端子およびグランド端子につき、少なくともどちらか一方は、それぞれ疑似電源端子又は疑似グランド端子に接続する。こうすると、疑似電源端子と実電源端子の間又は疑似グランド端子と実グランド端子の間に接続される電源制御回路により、スリープ時にリークパスをカットすることができる。

【0100】低しきい値入力バッファ45A、出力バッファ45B、並びに高しきい値入力バッファ46A、出力バッファ46Bとして、図32に示したような低しきい値入出力バッファセル45、高しきい値入出力バッファセル46を用いても、あるいは図33に示したような、高/低しきい値混在入出力バッファセル50を用い、配線により使用するMOSトランジスタを選択して、低しきい値または高しきい値入力バッファあるいは出力バッファとしてもよい。この図33に示したものをを用いた場合には、任意の入出力バッファセルを、高しきい値又は低しきい値の入力バッファまたは出力バッファにできるという利点がある。

【0101】
【発明の効果】以上から本発明によれば、予めチップ上

に搭載された高しきい値のMOSトランジスタと低しきい値のMOSトランジスタを使用することにより、MT-CMOS回路を効率的にゲートアレイに実現することができ、開発期間の短いゲートアレイの特徴を生かし、低電力高速度のLSIを実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のゲートアレイの説明図である。

【図2】 第1の実施の形態のゲートアレイの要素としての第1の基本セルの説明図である。

【図3】 第1の基本セルで構成した2入力NANDセルの説明図である。

【図4】 第1の基本セルで構成した電源セルの説明図である。

【図5】 第1の基本セルからなる論理セルと電源セルを配列した説明図である。

【図6】 第1の基本セルで構成した電源・論理セルである。

【図7】 図2の基本セルの変形例を示す説明図である。

【図8】 図5の配列の変形例を示す説明図である。

【図9】 図6の電源・論理セルの変形例を示す説明図である。

【図10】 図2の基本セルの別の変形例を示す説明図である。

【図11】 図5の配列の別の変形例を示す説明図である。

【図12】 図6の電源・論理セルの別の変形例を示す説明図である。

【図13】 第1の基本セルで構成した別の2入力NANDセルの説明図である。

【図14】 図13の2入力NANDセルの変形例を示す説明図である。

【図15】 本発明の第2の実施の形態のゲートアレイの説明図である。

【図16】 第2の実施の形態のゲートアレイの要素としての第2の基本セルの説明図である。

【図17】 第2の基本セルで構成した電源セルの説明図である。

【図18】 第2の基本セルの変形例を示す説明図である。

【図19】 図16の電源セルの変形例を示す説明図である。

【図20】 第2の基本セルの別の変形例を示す説明図である。

【図21】 図16の電源セルの別の変形例を示す説明図である。

【図22】 本発明の第3の実施の形態のゲートアレイの説明図である。

【図23】 第3の実施の形態のゲートアレイの要素と

しての第1、第2の基本セルを使用してballoon DFFを構成した説明図である。

【図24】 第2の基本セルを改変した第4の基本セルの説明図である。

【図25】 本発明の第4の実施の形態のゲートアレイの説明図である。

【図26】 第4の実施の形態のゲートアレイの要素としての第3の基本セルの説明図である。

【図27】 第3の基本セルで構成した電源セルの説明図である。

【図28】 図27の電源セルと論理セルを組み合わせた説明図である。

【図29】 第3の基本セルで構成した第1、第2バッファの説明図である。

【図30】 図29の第1、第2のバッファによりスリープ制御信号を制御して内部に伝達するようにした回路の説明図である。

【図31】 第5の実施の形態のゲートアレイの説明図である。

【図32】 第5の実施の形態のゲートアレイの変形例の説明図である。

【図33】 第5の実施の形態のゲートアレイの別の変形例の説明図である。

【図34】 第5の実施の形態のゲートアレイの構成要素としての第1、第2、第3の基本セルと、低しきい値の入力バッファおよび出力バッファ並びに高しきい値の入力バッファを使用した回路の説明図である。

【図35】 従来のゲートアレイの要素としての基本セルの説明図である。

【図36】 図35の基本セルにより構成した2入力NANDセルの説明図である。

【図37】 従来の別の基本セルの説明図である。

【図38】 図37の基本セルにより構成した2入力NANDセルの説明図である。

【図39】 図37の基本セルにより構成した2ポートメモリセルの説明図である。

【図40】 従来のMT-CMOS技術で構成した論理回路(2入力NAND回路)の回路図である。

【図41】 図40の回路の変形例を示す回路図である。

【図42】 従来のスタンダードセルを用いたレイアウトの説明図である。

【図43】 従来のMT-CMOS技術で構成したballoon DFFの回路図である。

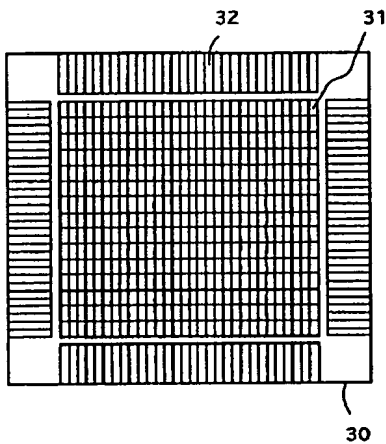
【符号の説明】

1 : p型拡散領域、2 : n型拡散領域、3 : ポリシリコン、4 : nウエル、5 : 1層メタル配線、6 : コンタクトホール、7 : 2層メタル配線、8 : スルホール、9 : 論理回路(2入力NAND回路)、10 : 電源セル、11、12 : 論理回路セル、13~16 : 低しきい値MO

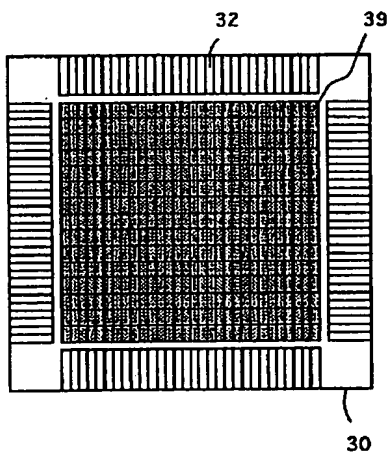
25

Sトランジスタで構成されたインバータ、17、18：高しきい値MOSトランジスタで構成されたインバータ、19～24：低しきい値MOSトランジスタで構成されたトランスファゲート、25：高しきい値MOSトランジスタで構成されたトランスファゲート、30：チップ、31、31'、31"：第1の基本セル、32：入出力バッファセル、33：2入力NANDセル、34：電源セル、34H：高電位側電源制御回路、34L：低電位側電源制御回路、35：2入力NORセル、36：インバータセル、37：電源・論理セル、38、38'：2入力NANDセル、39、39'、30"：

【図1】



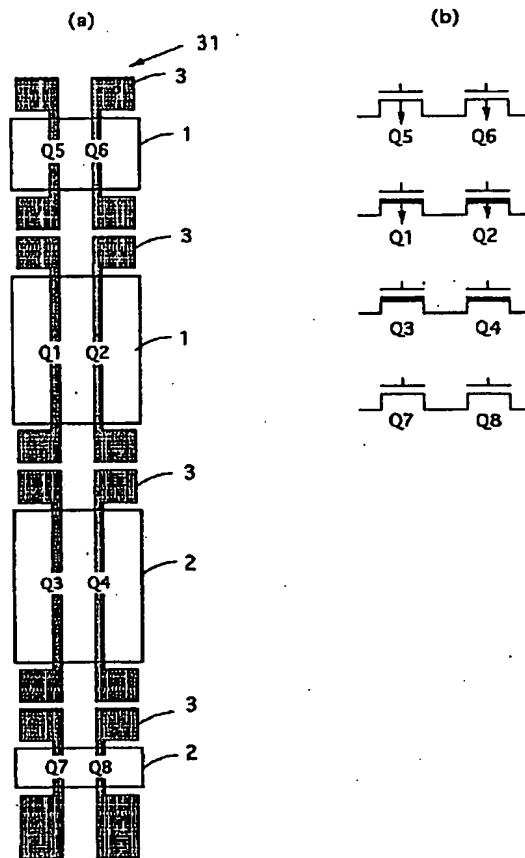
【図15】



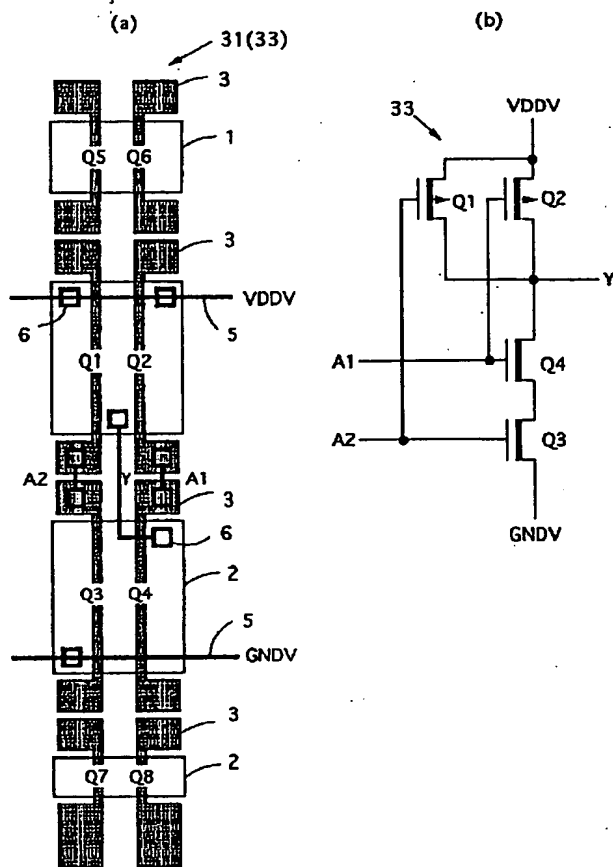
26

第2の基本セル、40：電源セル、40H：高電位側電源制御回路、40L：低電位側電源制御回路、41：第4の基本セル（低しきい値）、42：第3の基本セル（高しきい値）、43：電源セル、44A、44B：高しきい値バッファ（インバータ）、45：低しきい値入出力バッファセル、45A：低しきい値入力バッファ、45B：低しきい値出力バッファ、46：高しきい値入出力バッファセル、46A：高しきい値入力バッファ、46B：高しきい値出力バッファ（図示せず）、47：ボンディングパッド、49：論理回路、50：高/低しきい値混入出力バッファセル。

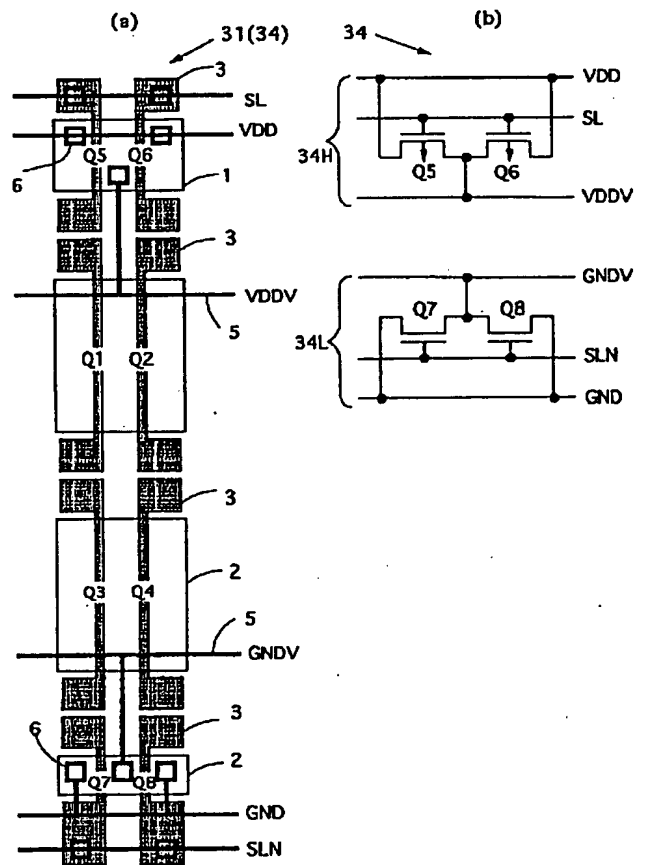
【図2】



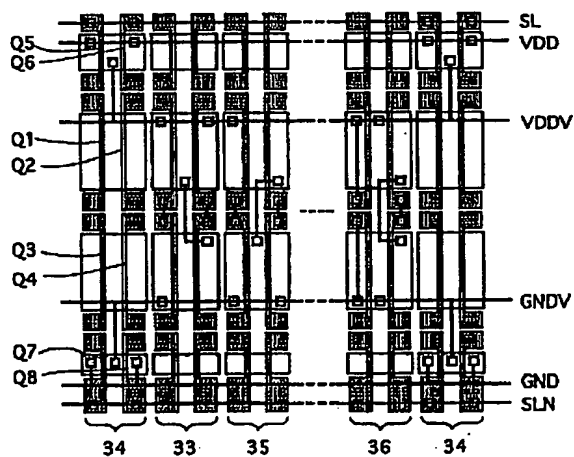
【図 3】



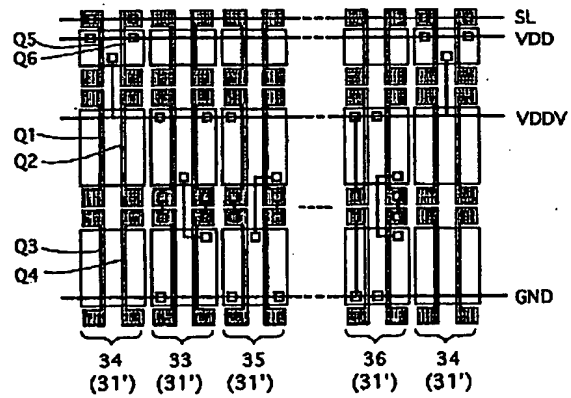
【図 4】



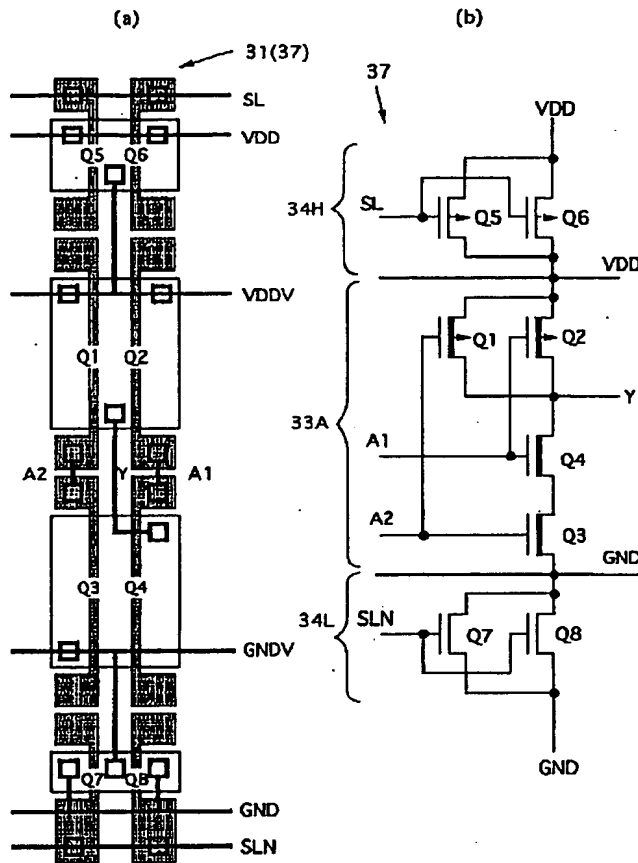
【図 5】



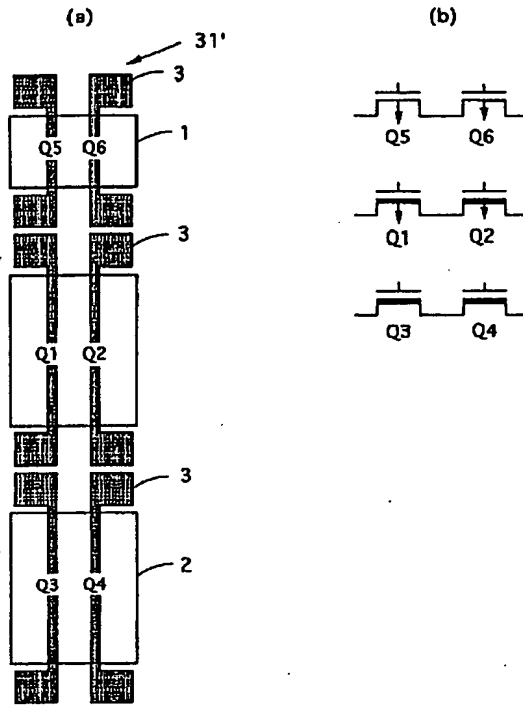
【図 8】



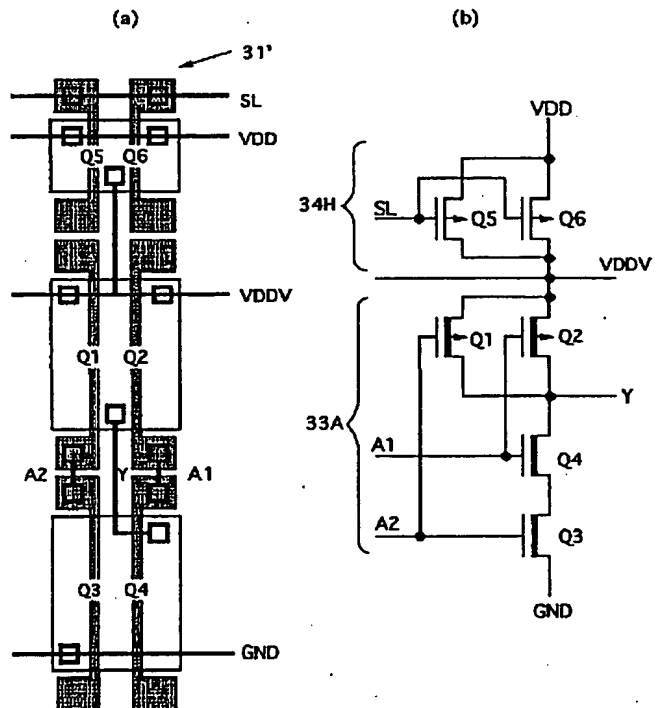
【図6】



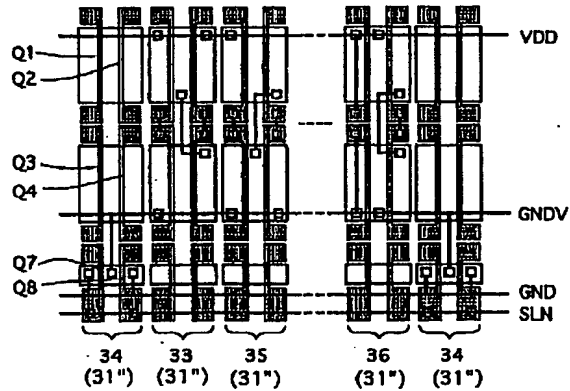
【図7】



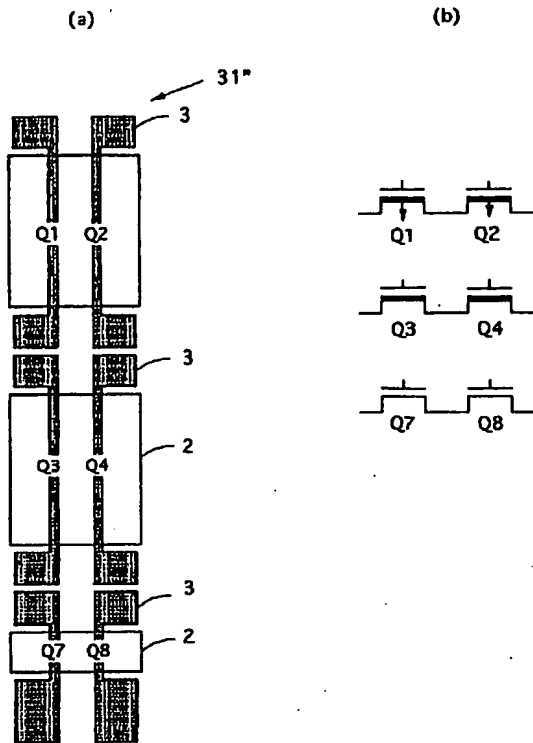
【図9】



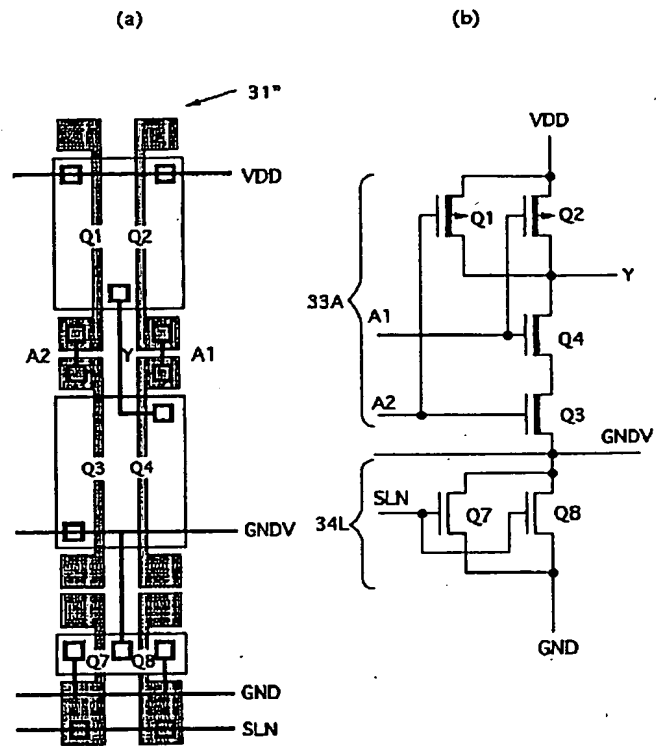
【図11】



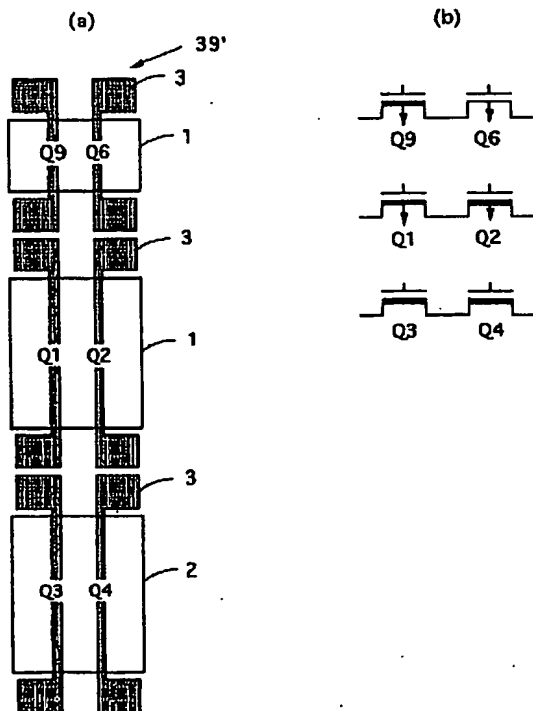
【図10】



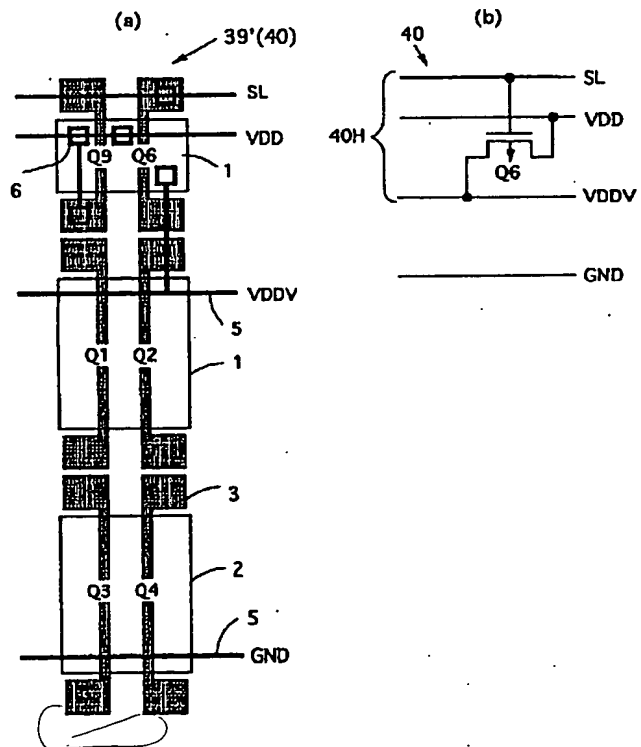
【図12】



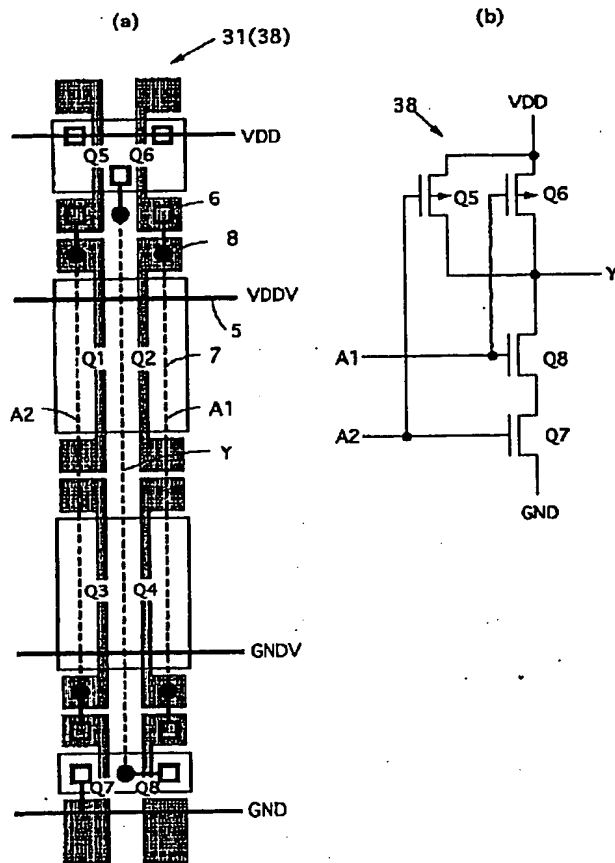
【図18】



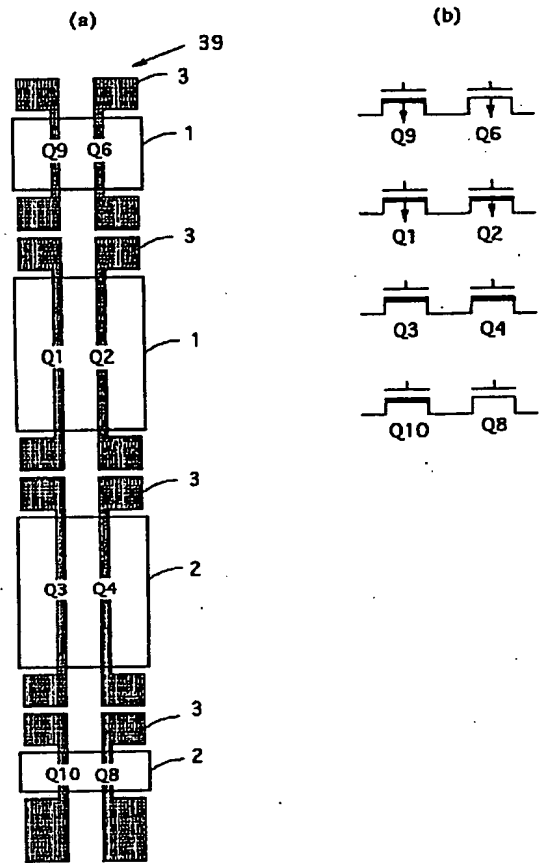
【図19】



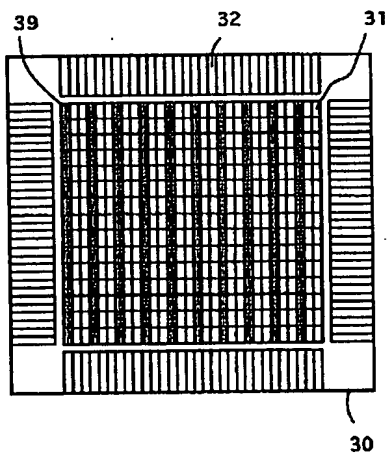
【図13】



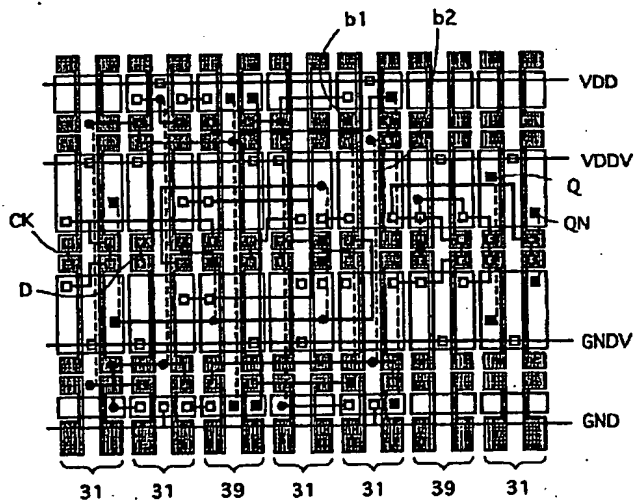
【図16】



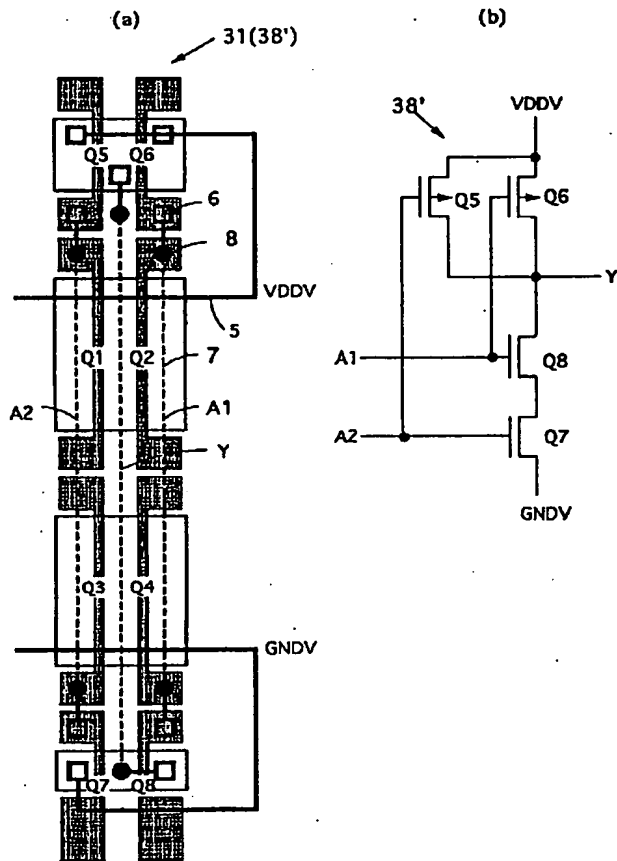
【図22】



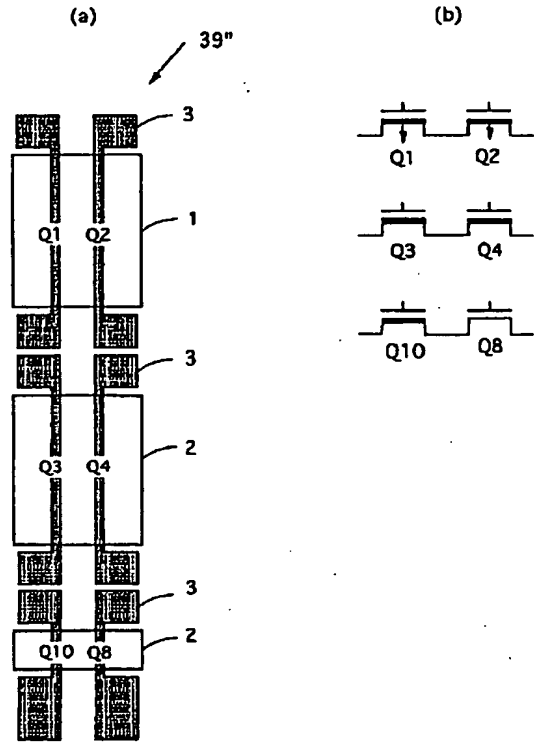
【図23】



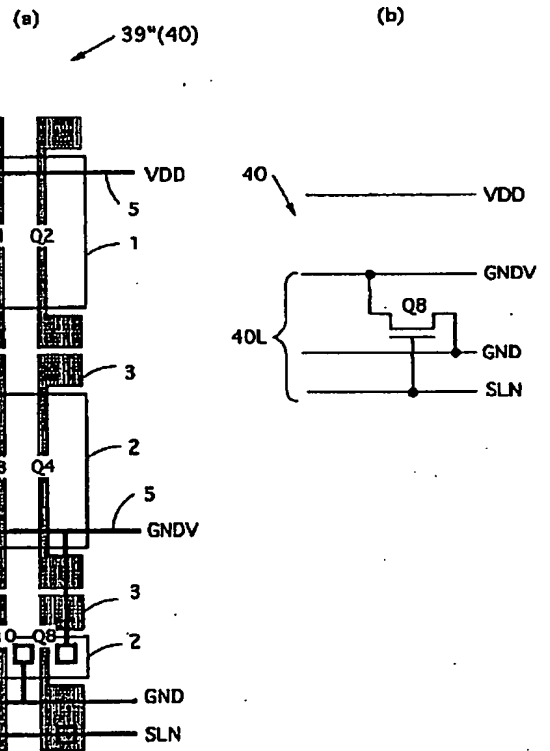
【図14】



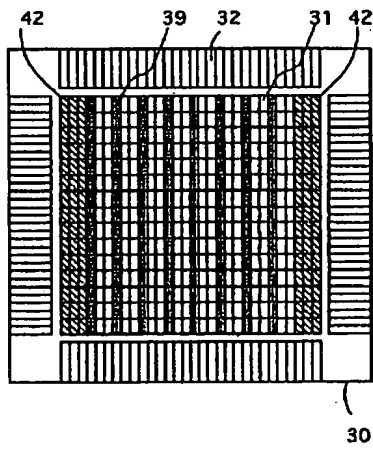
【図20】



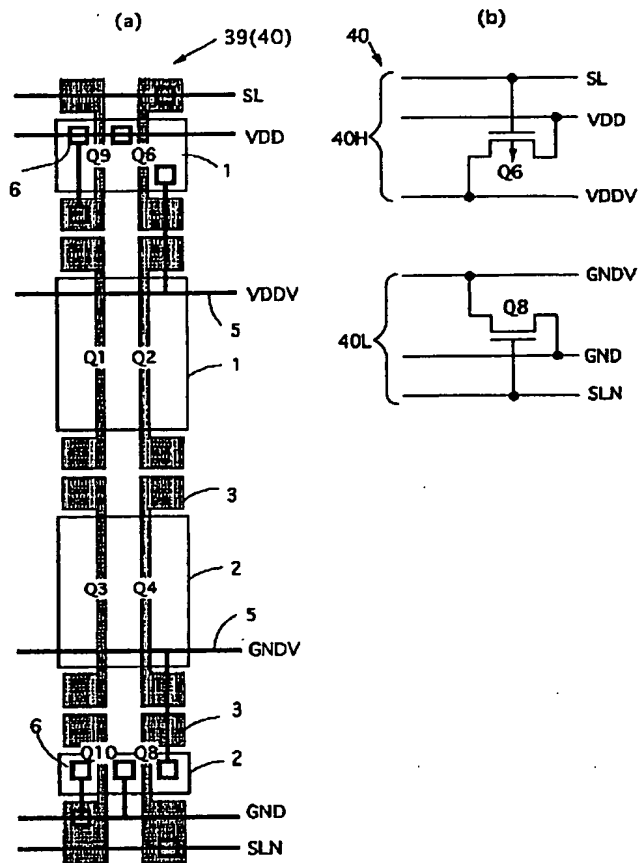
【図21】



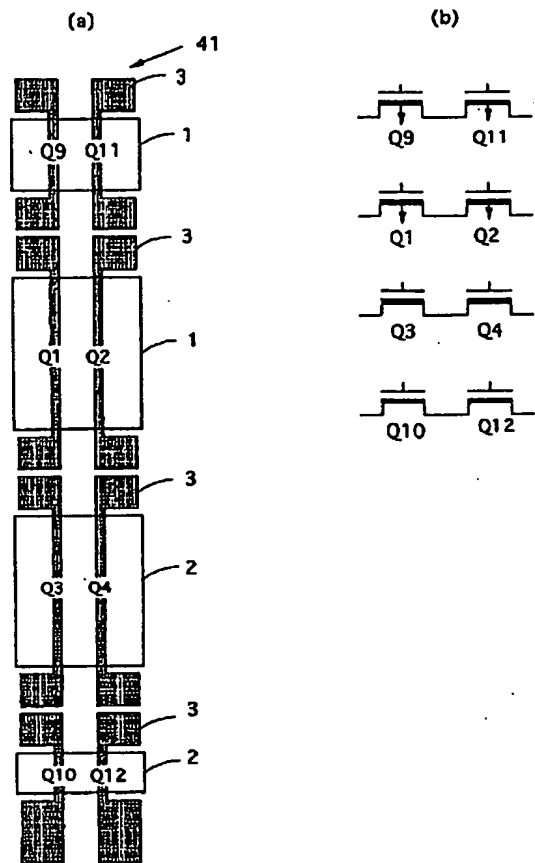
【図25】



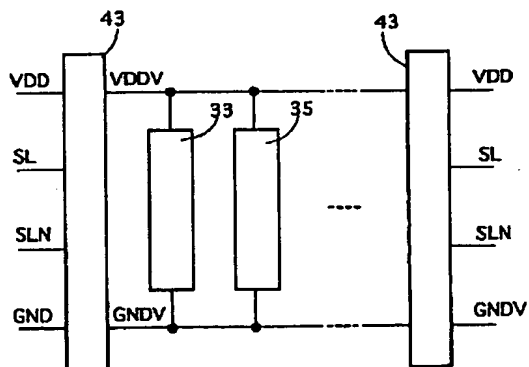
【図17】



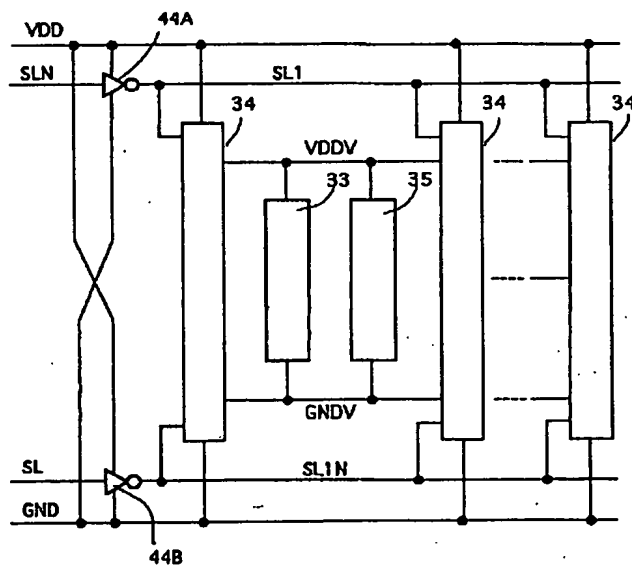
【図24】



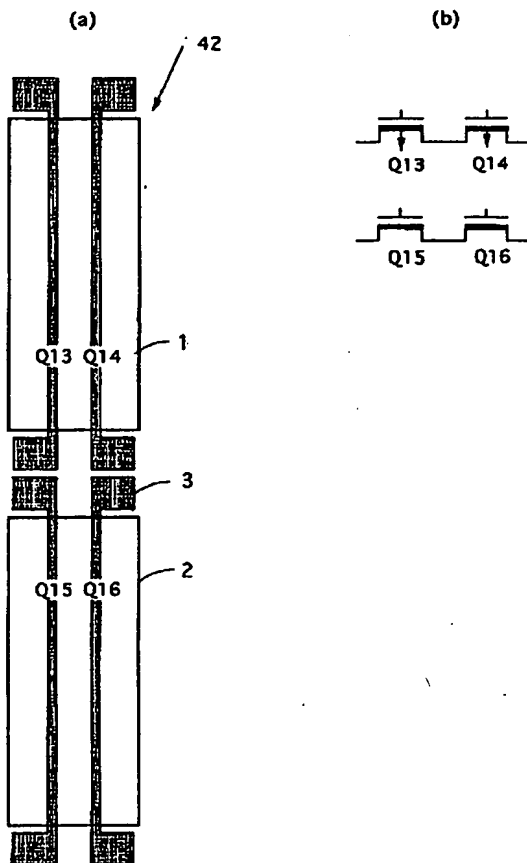
【図28】



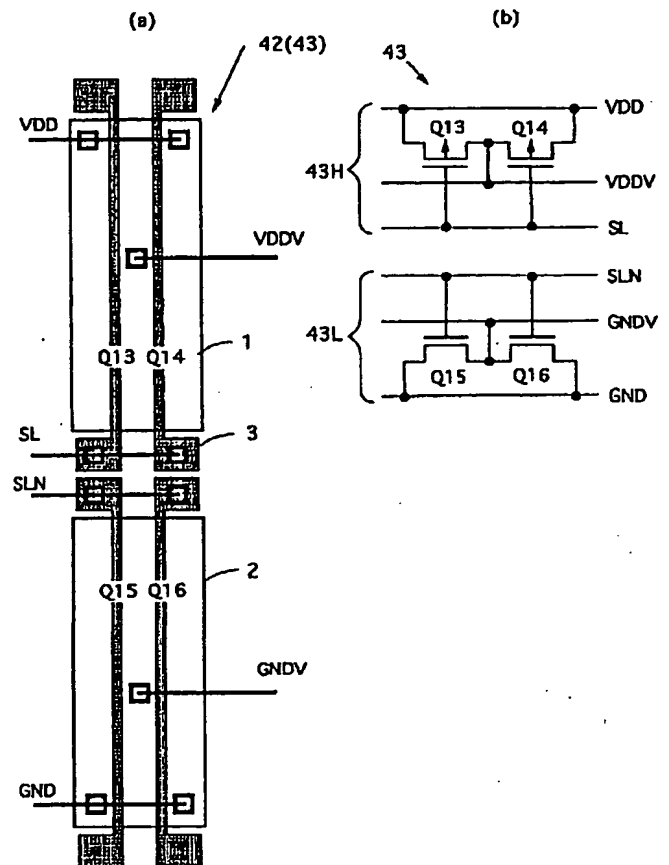
【図30】



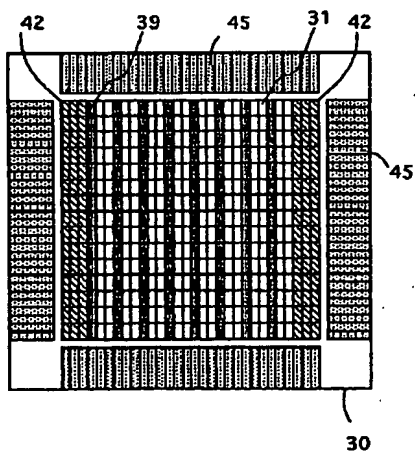
【図 26】



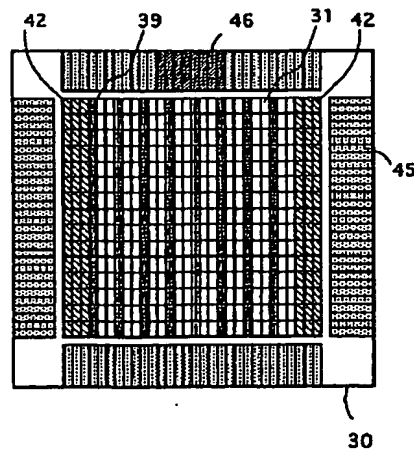
【図 27】



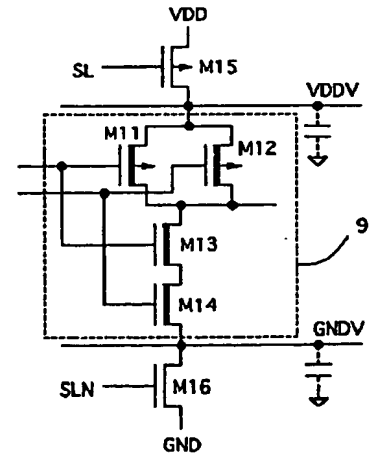
【図 31】



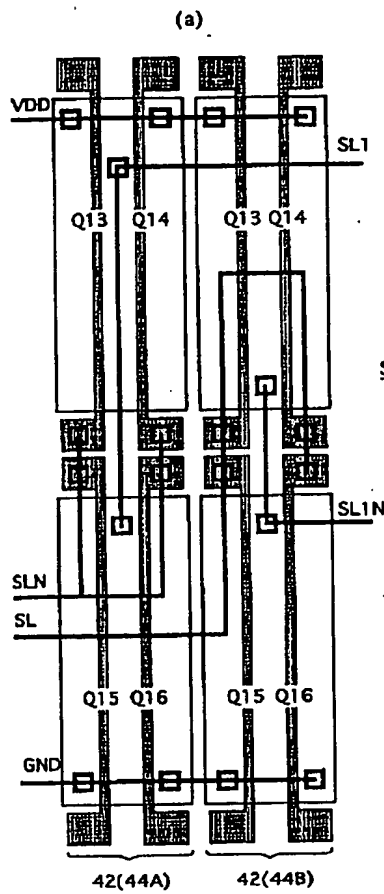
【図 32】



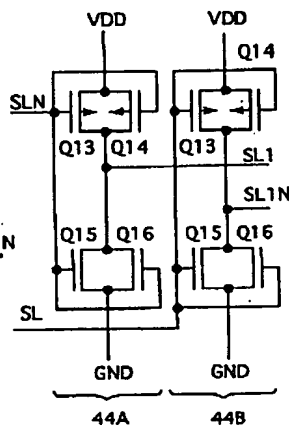
【図 40】



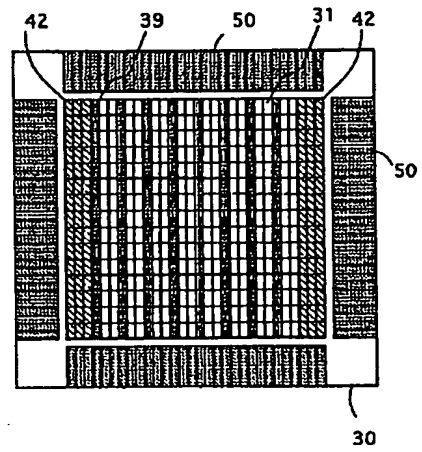
【図29】



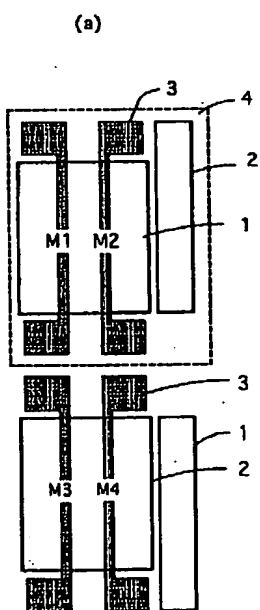
(b)



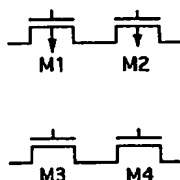
【図33】



【図35】

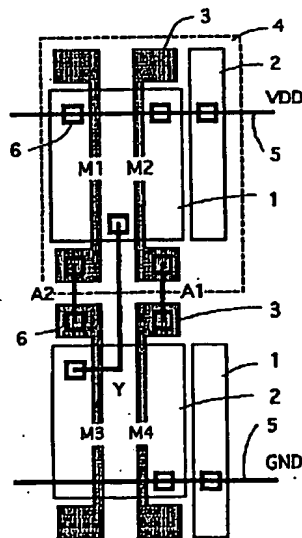


(b)

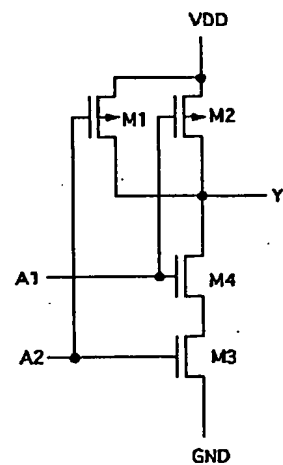


【図36】

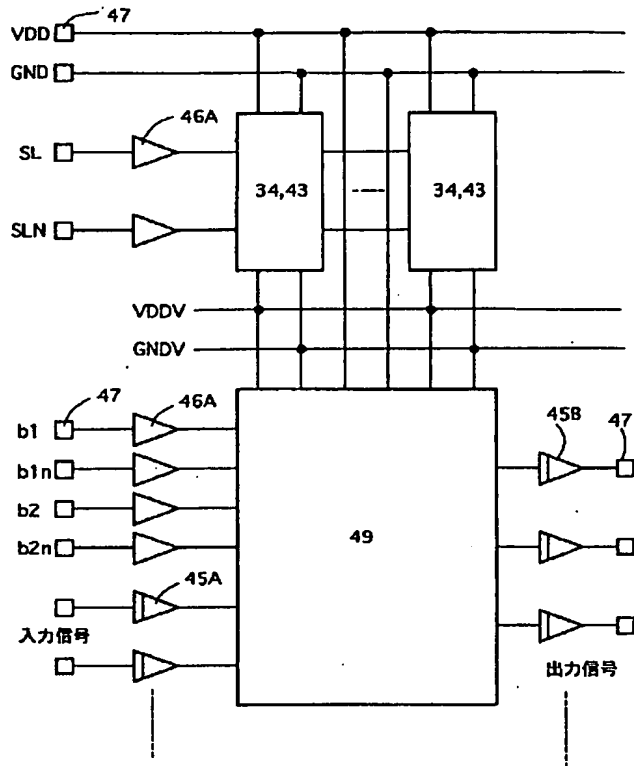
(a)



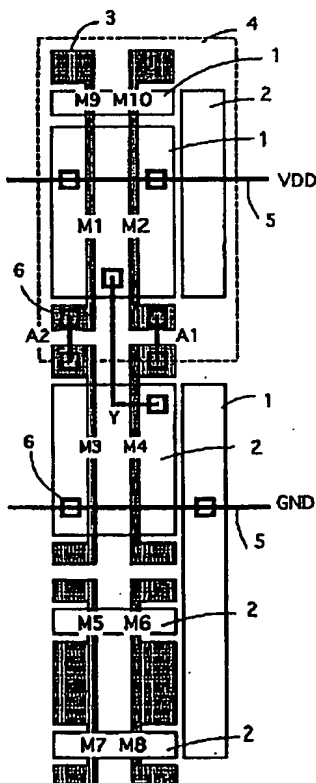
(b)



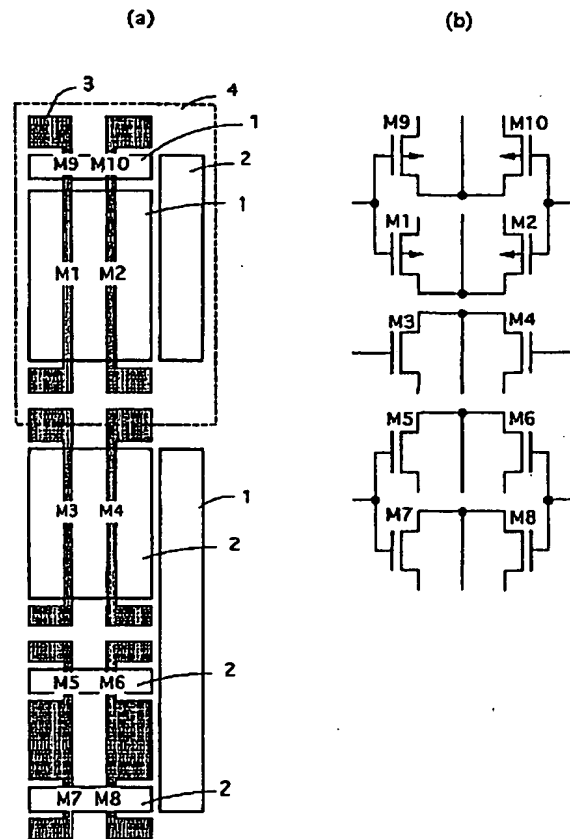
【図 34】



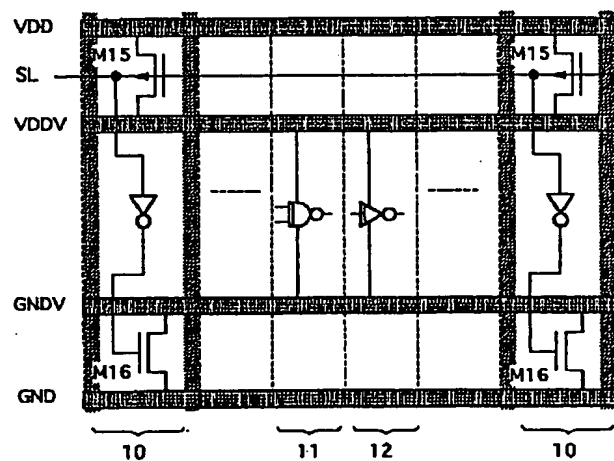
【図 38】



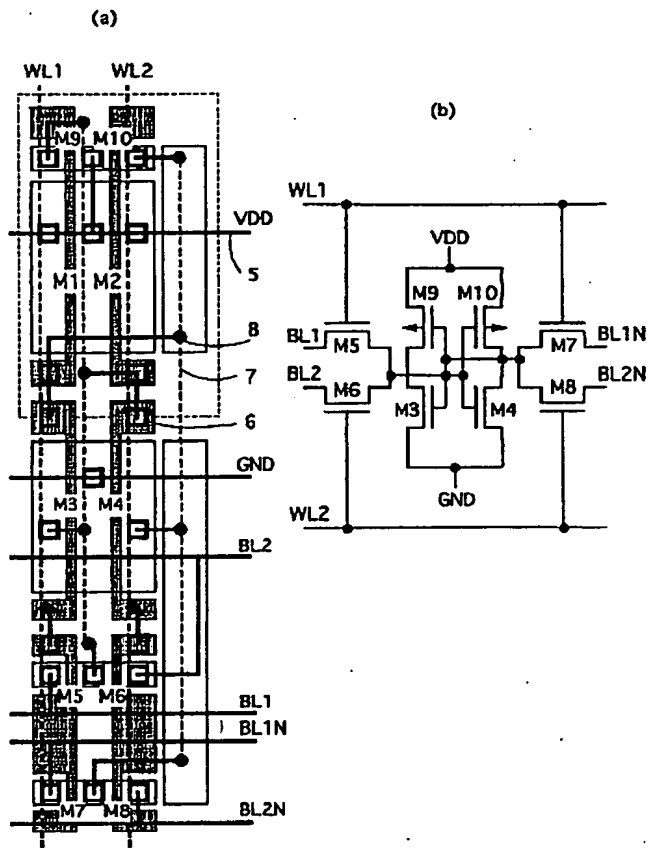
【図 37】



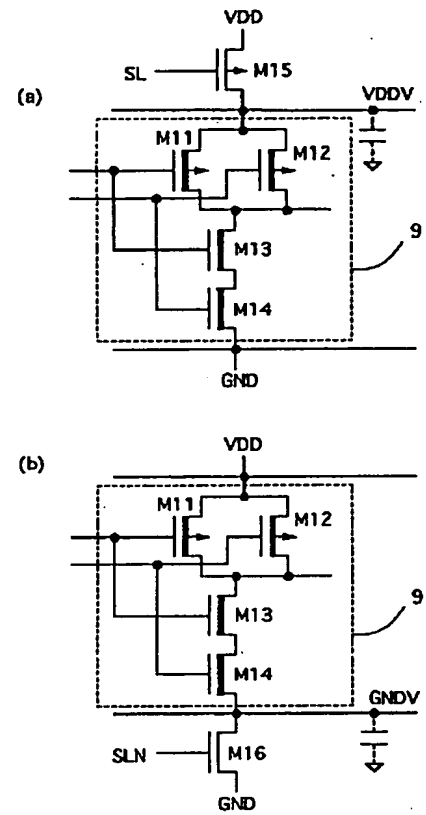
【図 42】



【図39】



【図41】



【図43】

